

Introduction à l'architecture des ordinateurs - R1.03

Introduction générale

Cours 1

Michel Salomon

IUT Nord Franche-Comté  
Département d'Informatique

## Objectifs - R1.03

- 1 Découvrir la structure, les composants d'un ordinateur ;
- 2 en appréhender son fonctionnement

## Organisation - R1.03

- Savoirs qui seront étudiés
  - 1 Architecture générale, histoire et évolution de l'informatique
  - 2 Codage des infos (nombres et caractères), opér. arithmétiques
  - 3 Structure d'un ordinateur (composants...)
  - 4 Installation et configuration d'un poste de travail
    - Installation de Linux sur un PC ; d'une machine virtuelle
- Modalités de Contrôle des Connaissances
  - Au moins 2 contrôles ; UE 1.2 (3%) et UE 1.3 (21%)

S.A.É. S1.03 ⇒ Installation d'un poste pour le développement

## Décrire ce qu'est un ordinateur n'est pas aisé

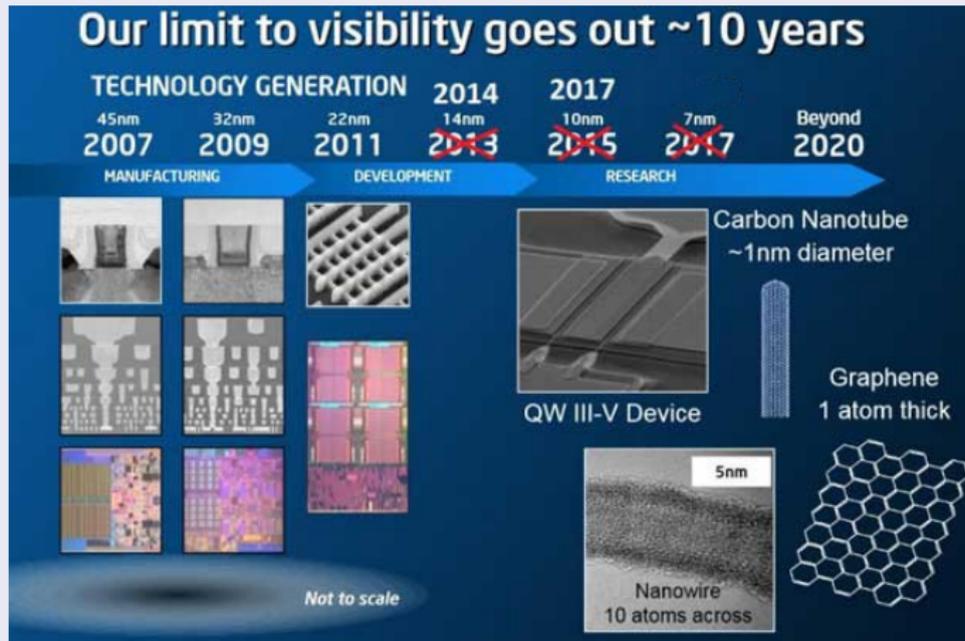
- Grande variété d'ordinateurs **électroniques**
  - Netbook ; Tablette tactile ; Smartphone ; Objets connectés
  - Ordinateur de bord ; Ordinateur personnel ; Super-ordinateur
  - etc.
- Rapidité des évolutions technologiques

### Illustration par la Loi de Moore (1975)

- Postulait initialement le doublement du nombre de transistors des microprocesseurs tous les 2 ans ;
  - entre 1971 et 2001 doublement tous les 1,96 années ;
  - entre 1971 et 2018 doublement tous les 1,746 années ;
- ralentissement au cours du temps, mais...  
(phénomène quantique : effet tunnel → limite de miniaturisation) ;
- dépend de ce que l'on mesure et de la nature des microproc.
  - Nombre de transistors / densité ;
  - Microprocesseur généraliste / spécialisé ; etc.

# L'informatique : un domaine complexe en constante évolution

On approche des limites de la technologie actuelle des semi-conducteurs



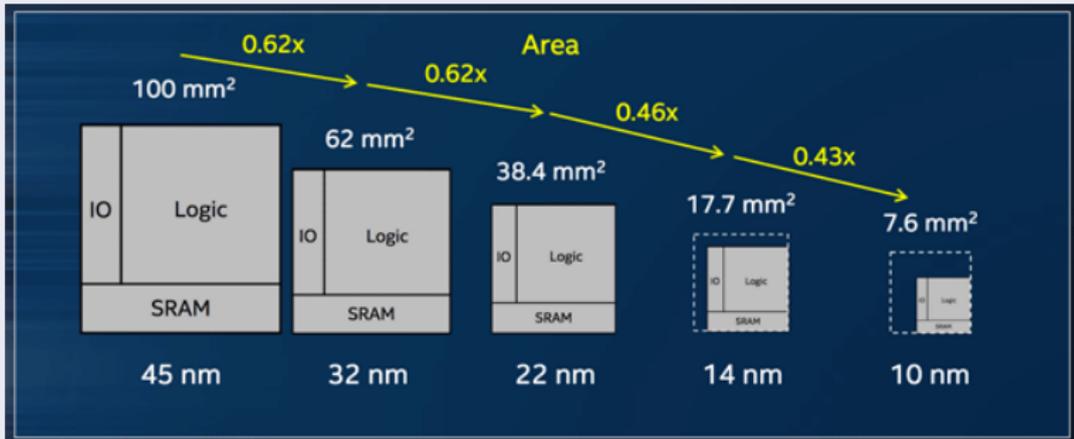
- Intel → 10 nm, 7 nm (fin 2023 - Intel 4), 3 nm (2024 - Intel 3)
- TSMC → 5 nm (iPhone 12), 3 nm (fin 2022), 2 nm (2025)

# L'informatique : un domaine complexe en constante évolution

Pourquoi réduire la finesse de gravure ?

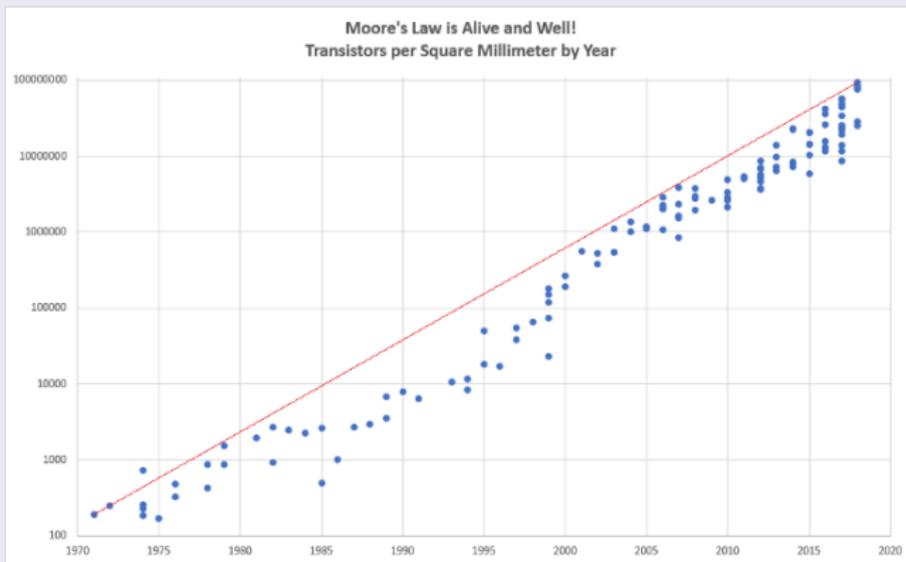
Une gravure plus fine permet d'augmenter la densité des transistors

- Une même micro-architecture (même nombre de transistors)  
→ implémentée par un "Die" (support physique) plus petit



- Une même taille de "Die" (plus de transistors disponibles)  
→ implémenter une micro-architecture plus performante

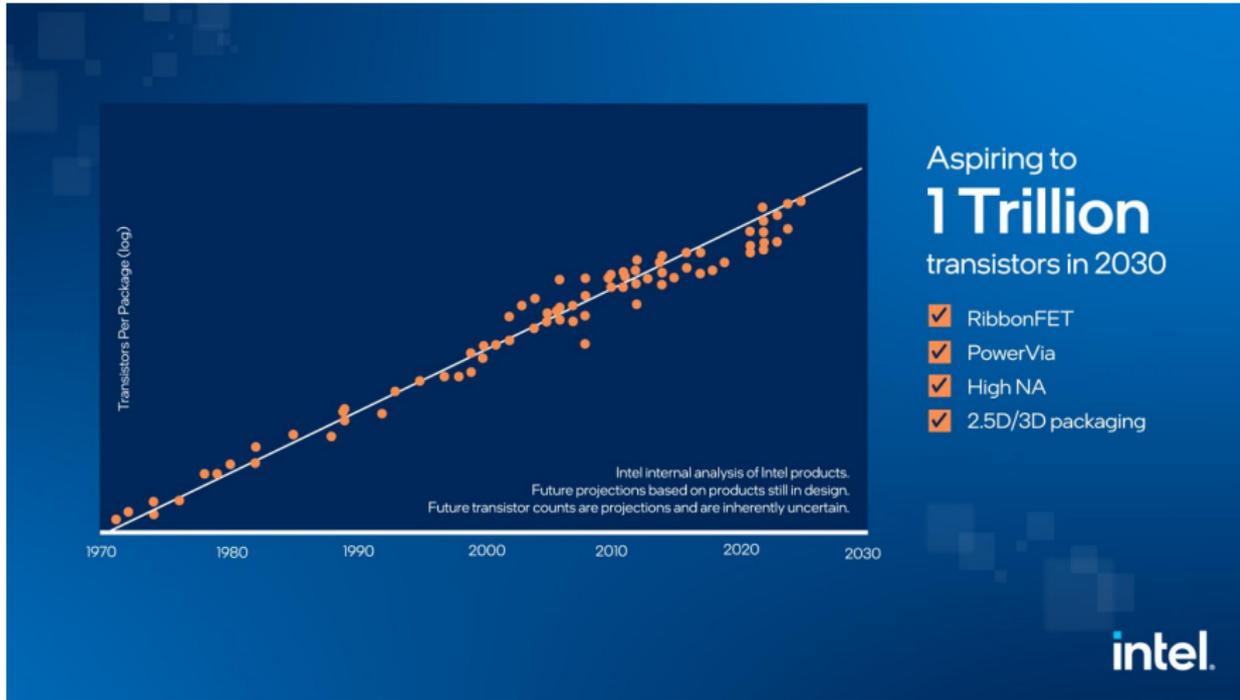
## Loi de Moore *versus* densité de transistors dans les processeurs



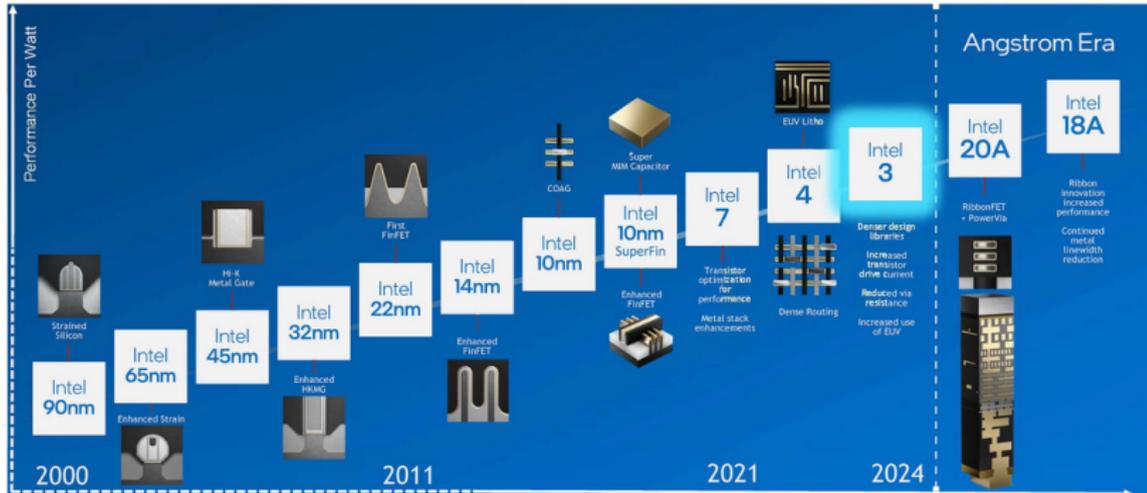
Corollaire de la loi de Moore → loi de Wirth (1995)

Le logiciel ralentit plus vite que le matériel n'accélère

# L'informatique : un domaine complexe en constante évolution



## Intel Technology Scaling



\*Graphics for illustrative purposes only and not to scale.

Key performance booster post 2000 → Strain Si, HKMG, FinFET, DTCO, PowerVia, RibbonFET

## Intel Foundry Process Roadmap

Leading and extending process roadmap beyond five nodes in four years (5N4Y) to include new Intel 14A and several node evolutions to address customers' varying requirements.



P = performance improvement, T = through silicon vias for 3D stacking, E = feature extension  
2024 and 2027 targets represent planned milestones and expectations

© Intel Corporation. Intel, the Intel logo and other Intel marks are trademarks of Intel Corporation or its subsidiaries. Other names and brands may be trademarks the property of others. All product and service plans, and markings are subject to change without notice. For forecasts of products, services and technologies needed for your operations or production decisions purposes only, you will have to submit a request for purchase or reservation with forecast as defined in this document.

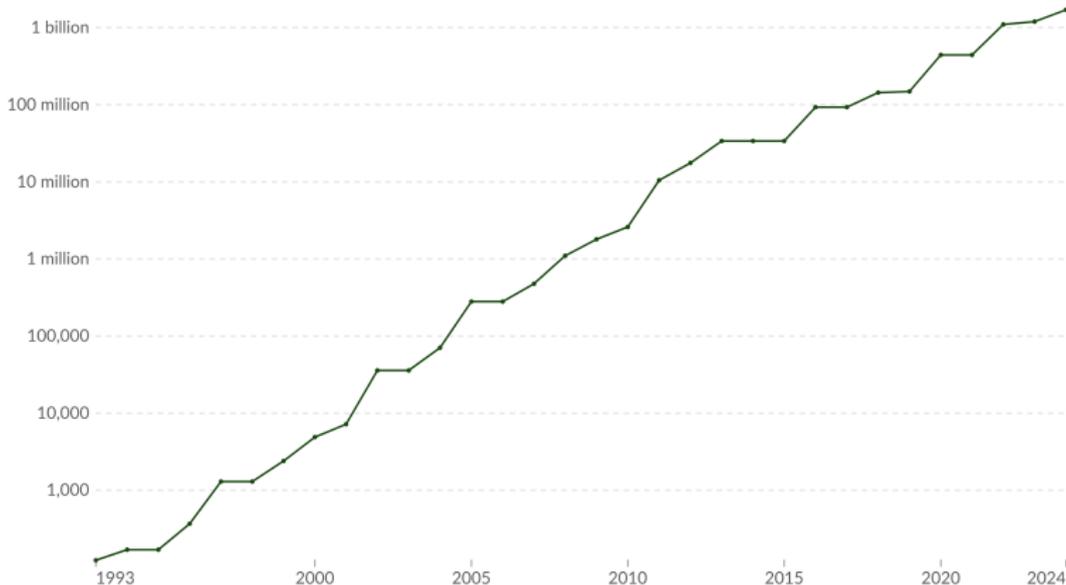
**intel foundry**



## Computational capacity of the fastest supercomputers

Our World  
in Data

The number of floating-point operations<sup>1</sup> carried out per second by the fastest supercomputer in any given year. This is expressed in gigaFLOPS, equivalent to  $10^9$  floating-point operations per second.



Data source: Dongarra et al. (2024)

OurWorldinData.org/technological-change | CC BY

1. **Floating-point operation** A floating-point operation (FLOP) is a type of computer operation. One FLOP represents a single arithmetic operation involving floating-point numbers, such as addition, subtraction, multiplication, or division.

## Domaine au croisement de nombreuses compétences

- Électronique
- Programmation système ou applicative
- Réseaux
- Mathématiques
- etc.

## Nombreux principes de base communs à tout système informatique

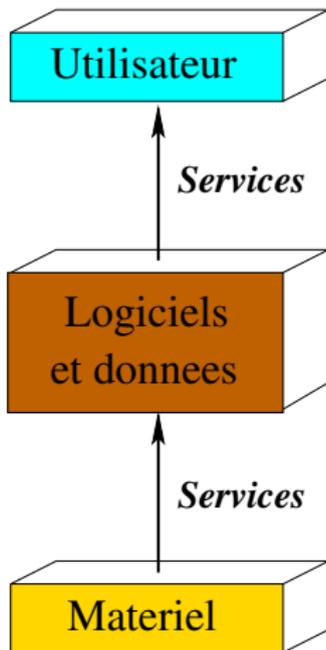
- Le type et la représentation des informations
- La manière dont les composants internes dialoguent
- etc.

# Qu'est-ce qu'un système informatique ?

Système informatique = un ensemble de matériels et de logiciels

## Description simplifiée en couches

- L'**utilisateur** dispose de services
  - la navigation Internet - *Web* ;
  - le traitement de texte ;
  - etc.
- grâce à des applications
  - implémentées par des **logiciels** ;
  - traitant des **données** en entrée ;
  - produisant des **données** en sortie ;
- exécuté(e)s "par" du **matériel**

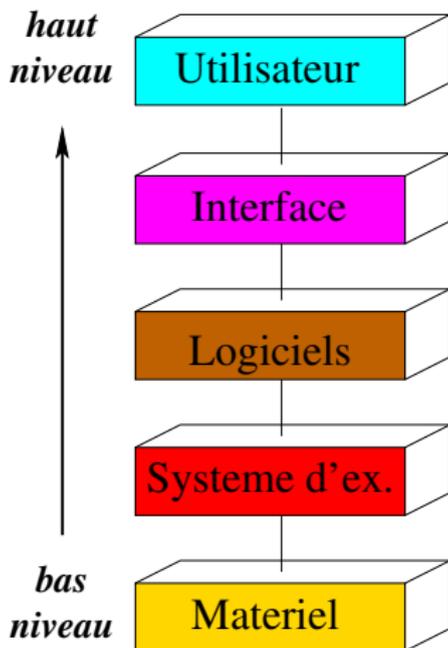


# Qu'est-ce qu'un système informatique ?

Système informatique = un ensemble de matériels et de logiciels

## Description évoluée en couches

- Ajout de couches intermédiaires
  - Fonctionnalités étendues
  - Isole les services "utilisateur" des couches de bas niveau
- L'Interface
  - Fenêtres
  - Menus
  - Aide contextuelle
- Le Système d'Exploitation
  - Gestion de la mémoire
  - Gestion des périphériques
  - Arbitrage des ressources



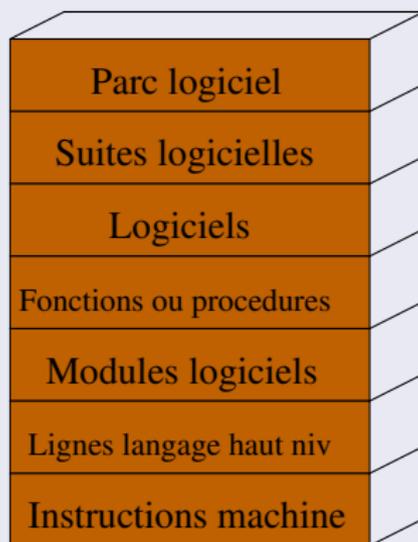
# Qu'est-ce qu'un système informatique ?

Système informatique = un ensemble de matériels et de logiciels

## Modules fonctionnels matériels



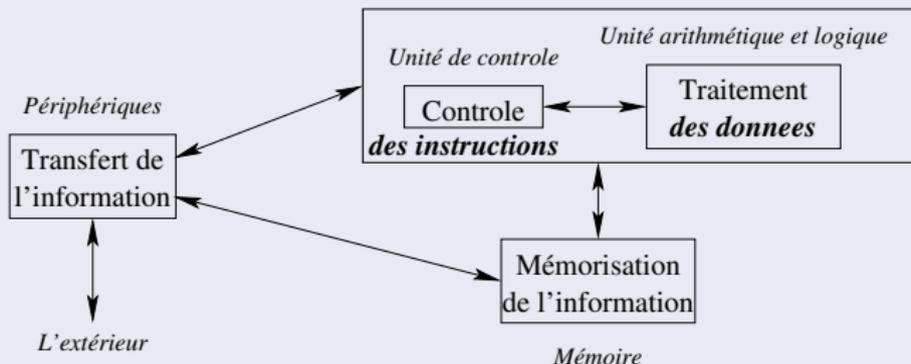
## Modules fonctionnels logiciels



# Description fonctionnelle d'un système informatique

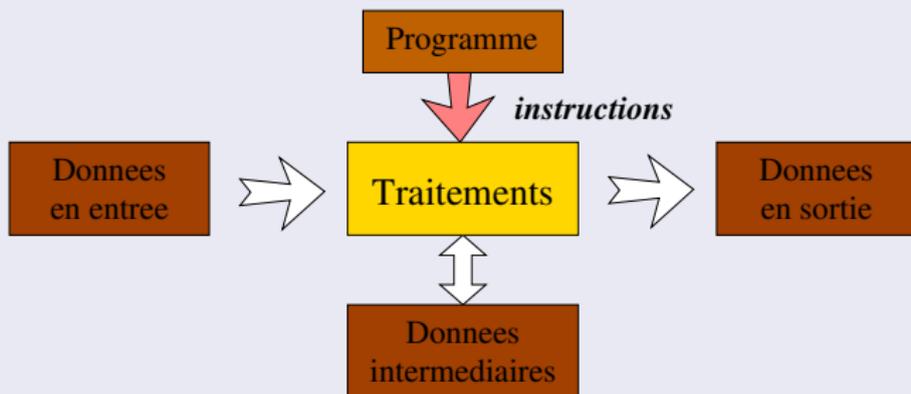
- Un système informatique manipule de l'information
- Un système informatique assure les fonctions suivantes :
  - le traitement de l'information ;
  - la mémorisation de l'information ;
  - le transfert de l'information ;
  - le contrôle des opérations spécifiées par l'utilisateur via de l'information (un programme = suite d'instructions)

## Schéma



# Un système informatique est un système programmable

## Traitements contrôlés par un programme



## Traitements sur les données

- Calculs arithmétiques (addition, soustraction, etc.)
- Calculs booléens (et, ou, etc.)
- Rupture de séquence en fonction d'un résultat
- Mise en forme des données

## Les prémices de l'ordinateur

- Mécanisation du calcul arithmétique
  - Machine de Pascal (1642) : addition et soustraction ;
  - Machine de Leibniz (1673) : ajoute division et multiplication
- Construction de machines commandées par des programmes
  - Cartons perforés commandant un métier à tisser (1805)
- La machine analytique de Babbage (1833)
  - Convergence des machines à calculer et commandées
  - Premier calculateur programmable (Ada Lovelace)
  - Contient l'essentiel des concepts des ordinateurs modernes
- Les théories mathématiques
  - Système binaire introduit par Leibniz (1677)
  - Algèbre de Boole (1854)
  - Turing (1936) énonce les principes d'une machine théorique universelle en vue de définir le concept d'algorithme
  - Shannon (1938) lie système binaire, algèbre de Boole et signaux électriques ; popularise le terme **binary digit** (1948)

# Histoire de l'ordinateur

## Naissance de l'ordinateur - période 1939-1945

- Machines électromécaniques
  - Z3 (1941) → machine digitale sans doute *Turing-complète*
  - IBM (Harvard) Mark 1 (1944)
- Premiers ordinateurs “électroniques”
  - Atanasoff-Berry Computer (1942) → non prog., pas *Turing-complet*
  - Colossus Mark 1 (1943), Mark 2 (1944) → pas *Turing-complet*

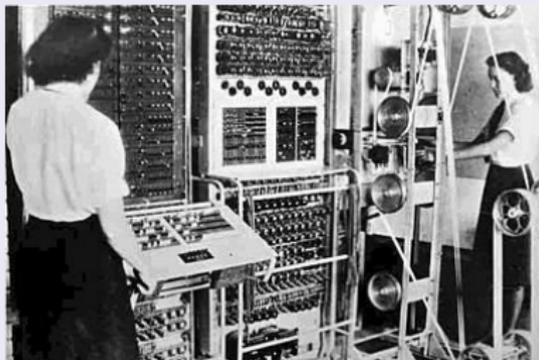
## Premier “vrai” ordinateur électronique : l'ENIAC (1943-1945)

### *l'Electronic Numerical Integrator And Calculator*

- Conçu par Eckert et Mauchly à l'Université de Pennsylvanie
- Entièrement électronique, programmable, *Turing-complet*
- Opérations réalisées dans des circuits électriques via des interrupteurs (tubes à vide) contrôlés électriquement
- 18000 tubes à vide, 30 tonnes et une surface de 72 m<sup>2</sup>
- Multiplie 2 nombres de 10 chiffres en 3 millisecondes

# Histoire de l'ordinateur

Colossus (à gauche) et ENIAC (à droite) (Wikipédia)



Avant fin 1945 John von Neumann propose une architecture (*Turing - 1936*)

- Architecture interne d'un calculateur universel (ordinateur)
- Définie en travaillant sur l'EDVAC avec Eckert et Mauchly
- Ordinateur à programme enregistré (instructions et données)

## Invention du transistor en 1947

### Généralisations d'ordinateur

- 1<sup>re</sup> gén. d'ordinateur → utilisation de l'architecture dite de von Neumann
  - Manchester Mark 1 (1949)
  - l'**E**lectronic **D**iscrete **V**ariable **A**utomatic **C**omputer (1949)
  - Apparition de supports de stockage et du terme "ordinateur"
- 2<sup>e</sup> gén. d'ordinateur → intégration des transistors
  - TRADIC des Bell Labs (1954)
  - IBM 7044 (1958) avec 64 ko (kilooctets) de mémoire
  - Apparition du terme "informatique" (information automatique)
- 3<sup>e</sup> gén. d'ordinateur → utilisation de circuits intégrés
- 4<sup>e</sup> gén. d'ordinateur → microprocesseur
  - Intel 4004 (1971) avec 2300 transistors

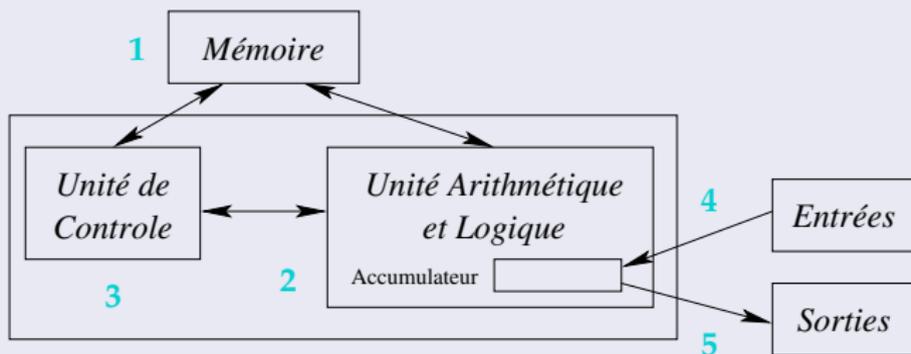
# Architecture de von Neumann

## Caractéristiques de l'ordinateur

- Une machine universelle contrôlée par un programme
- Instructions et données sont codées sous forme binaire et enregistrées en mémoire
- Programme pouvant “modifier” l'ordre de ses instructions
  - Exécutées en séquence (une après l'autre)
  - mais existence d'instructions de rupture de séquence
- 5 composants essentiels :
  - ① une Mémoire
    - contient instructions et données ;
  - ② une **Unité Arithmétique et Logique**
    - réalise les calculs ;
  - ③ une **Unité de Contrôle** ou de commande
    - contrôle les opérations réalisées ;
  - ④ et des unités d'**Entrées / Sorties**
  - ⑤
    - permettent d'échanger des informations avec les périphériques

# Architecture de von Neumann

## Schéma



## L'Unité de Contrôle

- 1 extrait une instruction de la mémoire ;
- 2 l'analyse ;
- 3 recherche les données en mémoire si besoin ;
- 4 demande l'exécution de l'instruction dans l'UAL ou une E/S ;
- 5 range le résultat dans la mémoire

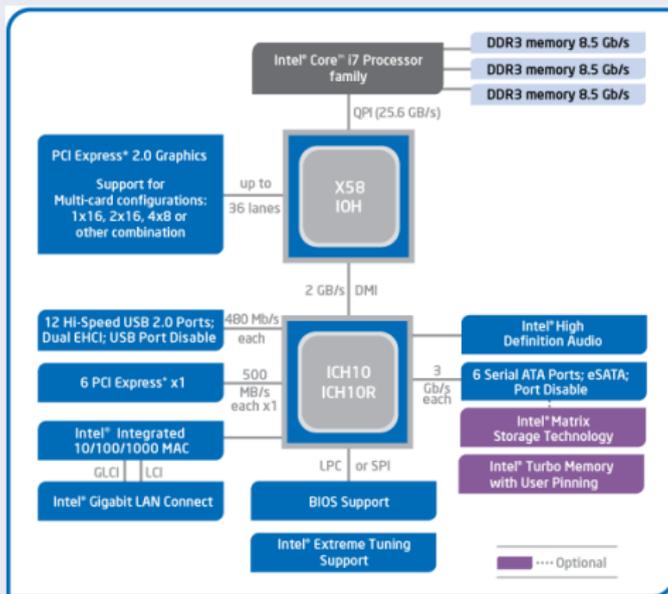
# Architecture des ordinateurs électroniques actuels

- Raffinement du schéma de von Neumann
  - Accès “direct” à la mémoire par les périphériques
- On distingue 3 composants :
  - ① l'unité centrale de traitement (***Central Processing Unit***) ou processeur (on utilise également le terme microprocesseur)
  - ② la mémoire centrale ou principale
    - Contient programmes et données
    - Deux types de mémoire :
      - mémoire morte (***Read Only Memory***) - lecture “seule”
      - mémoire vive (***Random Access Memory***) - lecture/écriture
  - ③ les interfaces d'**Entrées/Sorties**
    - Lien entre le processeur et les périphériques externes/internes
    - Périphériques :
      - disque dur ;
      - carte graphique ;
      - etc.

Composants et périphériques reliés par des bus de communication

# Architecture d'une carte mère pour processeurs Intel

Core i7 de 1<sup>re</sup> gén. (Nehalem / Westmere) - LGA 1366 / Socket B - 2008

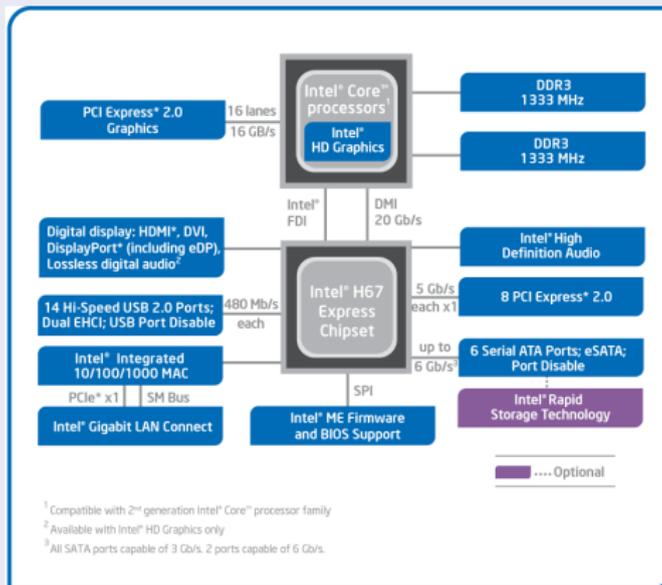


Intel® X58 Express Chipset Block Diagram

**Land Grid Array** : proc. comportant une matrice de contacteurs

# Architecture d'une carte mère pour processeurs Intel

Core i7, i5 de 2<sup>e</sup> gén. (Sandy Bridge) - LGA 1155 / Socket H2 - Sep. 2011



Intel H67 Express Chipset Platform Block Diagram

Puce réunissant contrôleur mémoire, cœur graphique et processeur

# Architecture d'une carte mère pour processeurs Intel

Core i7 de 3<sup>e</sup> gen. (Ivy Bridge) - LGA 2011 / Socket R - Avril 2012

- Sandy Bridge(-E) → 32 nm ; Ivy Bridge → 22 nm

Core i7 de 4<sup>e</sup> gen. (Haswell) - LGA 1150 / Socket H3 - Juin 2013

- Gravure de 22 nm et optimisation de l'économie d'énergie

Core i7 de 5<sup>e</sup> gen. (Broadwell) - LGA 1150 / Socket H3 - Juin 2013

- Gravure de 14 nm et dernière gén. avec bus **DMI** 2.0

Core i7 de 6<sup>e</sup> gen. (Skylake) - LGA 1151 - Août 2015

- Gravure de 14 nm et bus **Direct Media Interface** 3.0

Core i7 de 7<sup>e</sup> gen. (Kaby Lake) - LGA 1151 - Octobre 2016

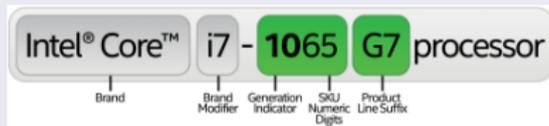
- Gravure de 14 nm

# Architecture d'une carte mère pour processeurs Intel

Diminution moins rapide / stagnation de la finesse de gravure

Depuis la 8<sup>e</sup> gen., une gen. comporte plusieurs micro-architectures

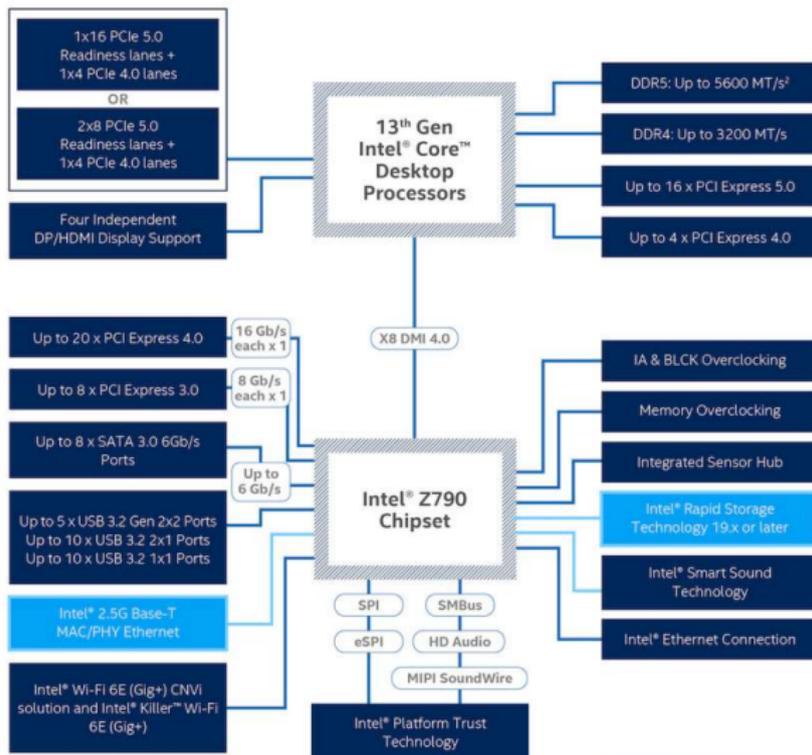
- 8<sup>e</sup> gen. → Coffee Lake (14 nm++), Kaby Lake Refresh (14 nm+), Cannon Lake (10 nm) (peu de processeurs produits)
- 9<sup>e</sup> gen. → Coffee Lake Refresh (14 nm++), Skylake-X Refresh (14 nm+)
- 10<sup>e</sup> gen. / LGA 1200
  - Cascade / Comet Lake → évolution du Skylake-X / Skylake
  - Ice Lake (10 nm+) → succède au Cannon Lake



- 11<sup>e</sup> gen. → Rocket Lake (14 nm++) (Tiger Lake (10 nm) → Mobile)  
LGA 1200 Q2 2020 → Comet Lake et Rocket Lake
- 12<sup>e</sup> gen. → Alder Lake (10 nm - Intel 7) / LGA 1700
- 13<sup>e</sup> – 14<sup>e</sup> gen. → Raptor Lake-Refresh (7 nm - Intel 7) / LGA 1700

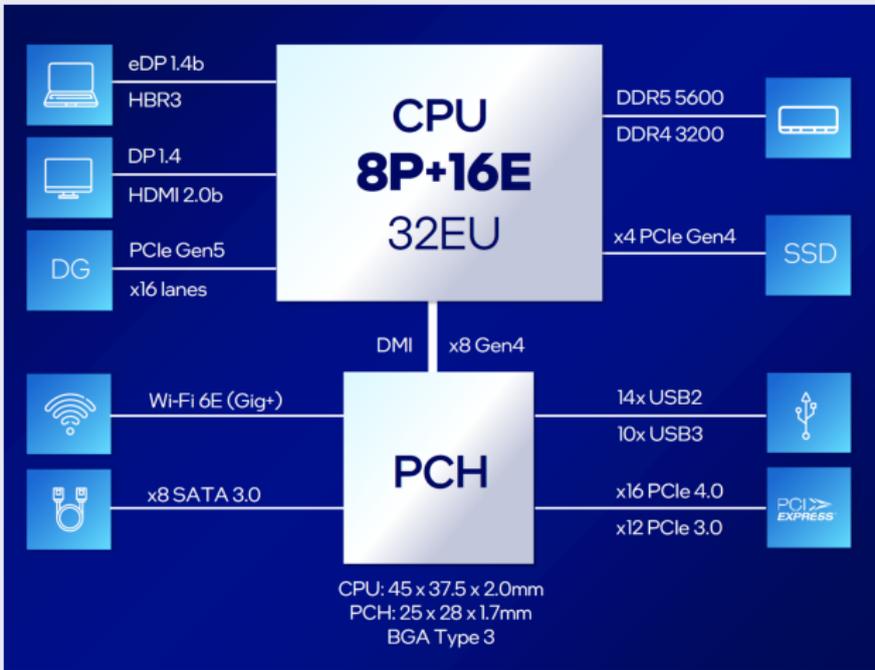
# Architecture d'une carte mère pour processeurs Intel

Core de 13<sup>e</sup> gen. (Raptor Lake) - LGA 1700 - Septembre 2022



# Architecture d'une carte mère pour processeurs Intel

Core de 14<sup>e</sup> gen. (Raptor Lake-Refresh) - LGA 1700 - Octobre 2023



# Architecture d'une carte mère pour processeurs Intel

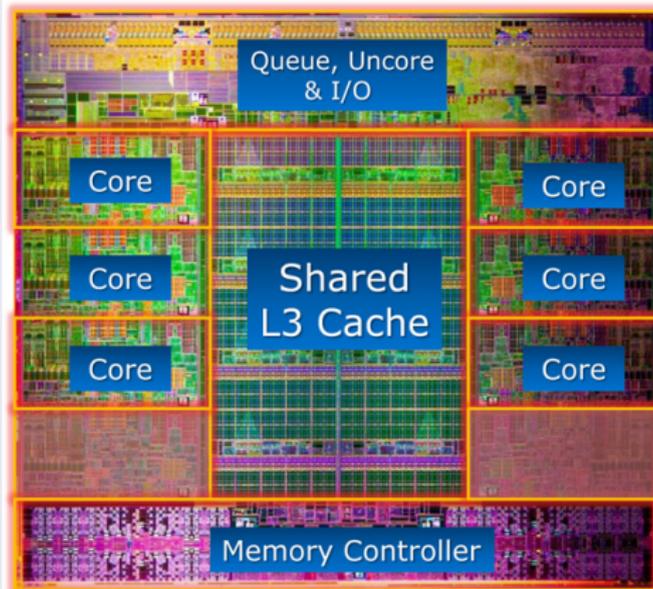
## Roadmap d'Intel



- Meteor Lake → limité au mobile
- Depuis fin 2024 → Core Ultra Series 2
  - Lunar Lake successeur du Meteo Lake
  - Arrow Lake (desktop et mobile)

# Micro-architectures Sandy Bridge, Ivy Bridge et Skylake

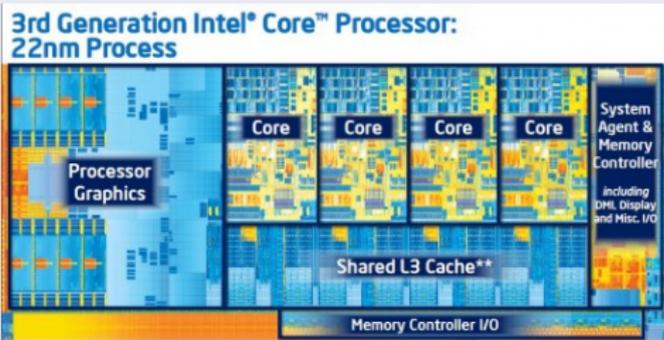
Proc. Core i7 3960X (Sandy E) - "Die" (support physique) du processeur



Q4'11 - Cache commun → 15 Mio ; Turbo Boost → 3/3/4/5/6/6

# Micro-architectures Sandy Bridge, Ivy Bridge et Skylake

Proc. Core i7 3770K (Ivy) - "Die" (support physique) du processeur

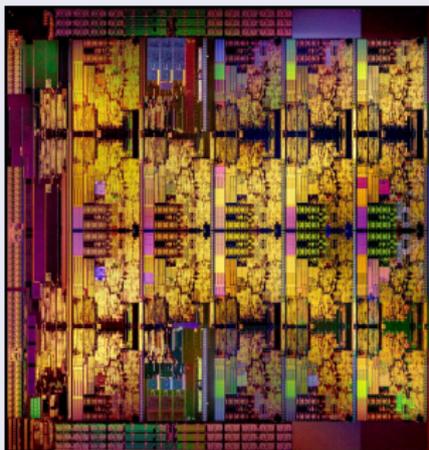


Q2'12 - Cache partagé → 8 Mio ; 3.5/3.9 GHz ; PCIe Gen 3.0 ; 77 W

Ivy Bridge est le "Tick" associé au "Tock" Sandy Bridge

# Micro-architectures Sandy Bridge, Ivy Bridge et Skylake

Proc. Core i9 7980XE (Skylake-X) - "Die" (support physique) du proc.



Q3'17 - Cache partagé → 24,75 Mio; 2.6/4.4 GHz; PCIe Gen 3.0; DDR4; 165 W

Proc. Core i9 10980XE (Cascade Lake)

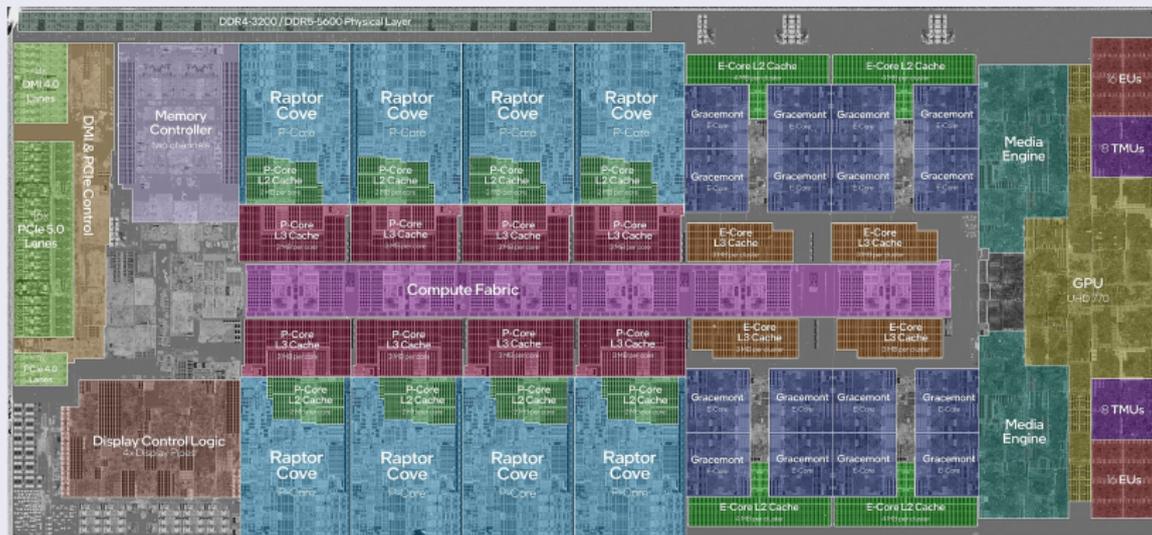
Q4'19 - Cache partagé → 24,75 Mio; 3/4.8 GHz; PCIe Gen 3.0; DDR4; 165 W

Proc. Core i9 11900KF (Rocket Lake)

Q1'21 - Cache partage → 16 Mio; 3,5/5,3 GHz; PCIe Gen 4.0; DDR4; 125 W

# Micro-architectures Sandy Bridge, Ivy Bridge et Skylake

Proc. Core i9 13900K (Raptor Lake) - "Die" (support physique) du proc.



Q4'22 - Cache partagé → 36 Mio ;

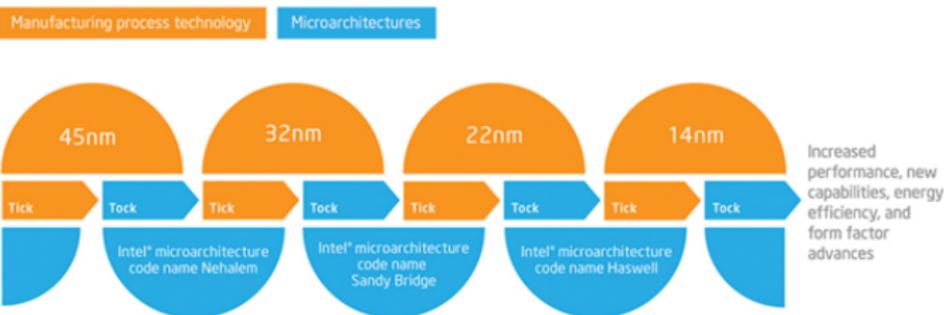
Fréquences P-cores+E-cores → 3.0/5.4/5.7+2.2/4.3/5.8 GHz ;

PCIe Gen 5.0 ; DDR5 / DDR4 ; 125 / 253 W

## Modèle "Tick-Tock"

- Tick → évolution de la finesse de gravure (réduction du "die")
- Tock → évolution de la micro-architecture

### The Tick-Tock model through the years



## Intel met fin au modèle "Tick-Tock" en mars 2016

- Difficulté de mise en production de la gravure 10 nm
- Nombreuses "générations" avec la finesse de gravure 14 nm
- Optimisation portant surtout sur le multimédia
  - Traitement de formats vidéos 10 bit H.265/HEVC, VP9
  - etc.



8<sup>e</sup> gen. → Coffee Lake (14 nm++), Kaby Lake Refresh (14 nm+),  
Cannon Lake (10 nm) (peu de processeurs produits)

# Micro-architectures Piledriver (32 nm) et Steamroller (28 nm)

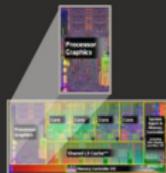
## Cœur graphique (GPU) prenant de plus en plus de place

THE FUTURE BELONGS TO THE APU:  
BETTER GRAPHICS, EFFICIENCY AND COMPUTE



"SANDY BRIDGE"

17% GPU\*



"IVY BRIDGE"

27% GPU\*



"HASWELL"

(Estimated)

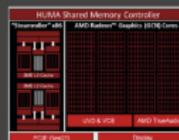
31% GPU\*



2014 AMD A-SERIES/CODENAMED  
"KAVERI"

47% GPU

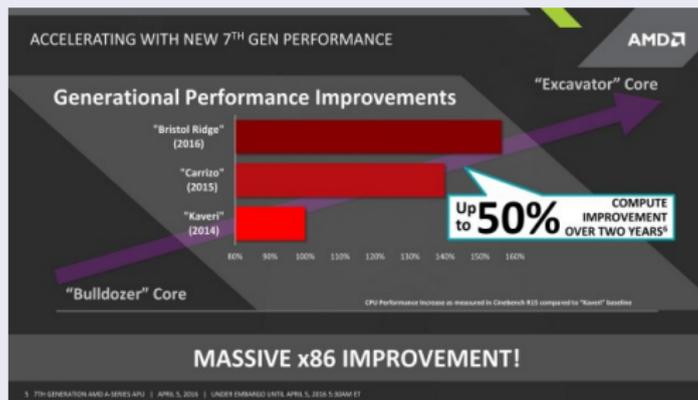
DELIVERS  
BREAKTHROUGHS  
IN APU-BASED:



- ▲ **Compute**
  - (OpenCL™, Direct Compute)
- ▲ **Gaming**
  - (DirectX®, OpenGL, Mantle)
- ▲ **Experiences**
  - (Audio, Ultra HD, Devices, New Interactivity)

# Micro-architecture Excavator (28 nm)

Proc. A6/A8/A10/A12 et Athlon X4 (Bristol Ridge - AM4)

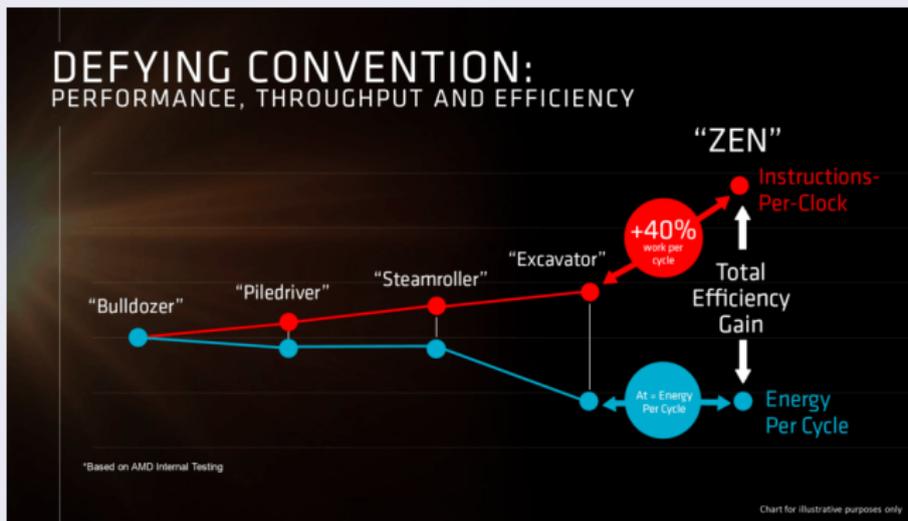


## Accelerated Processing Unit (CPU+Graphics Processing Unit)

- 2015 - APU Carrizo → laptop et mobile; DDR3; ...
- 2016 - APU Bristol Ridge et Stoney Ridge → DDR4; ...
- 2017 - Fin de Bulldozer Series (Bristol Ridge et Stoney Ridge)
- Depuis - Zen Series (Ryzen → desktop et Epyc → server)

# Micro-architecture Zen (14 nm) - Desktop

Proc. Ryzen 3/5/7/9 (AM4/AM5) et Threadripper (TR4 puis WRX8)

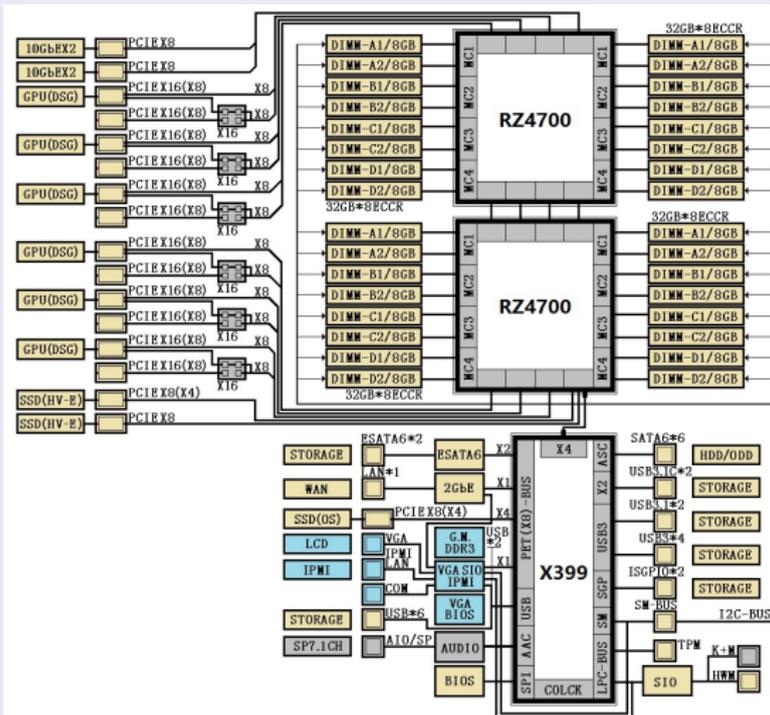


Roadmap AMD pour les générations Zen - Juill./Août 2024 - Zen 5

- 2018 - Zen+ (12 nm) / 2019 - Zen 2 (7 nm) 2020 / Zen 3 (7 nm+)
- 2022 - Zen 4 (5 nm) / 2024 - Zen 5 (4 nm/ 3 nm)

# Micro-architecture Zen (14 nm) - Datacenter / Server

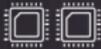
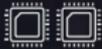
Proc. Epyc (Naples) - exemple de diagramme bi-proc. avec chipset X399



# Micro-architecture Zen (14 nm) - Datacenter / Server

Proc. Epyc (Naples) - plateforme concurrente du Xeon d'Intel

## 2 SOCKET SYSTEM CONFIGURATIONS

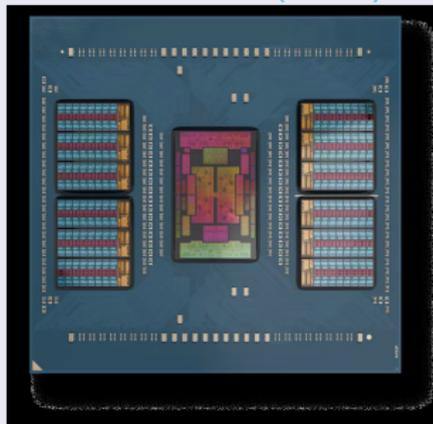
Component	 AMD	 INTEL
CPU model	<b>EPYC</b>	E5-2699A V4
Sockets	2	2
Total cores	64	44
Total memory channels	16	8
Total populated memory (16 GB DIMMS)	256	128
Memory frequency	2400	2400
Total PCIe® gen3 lanes to CPUs	8x16=128	2x40=80

AMD **System On Chip** → intégration de fonctionnalités du *chipset*

# Micro-architecture Zen 5c (3 nm) - Datacenter / Server

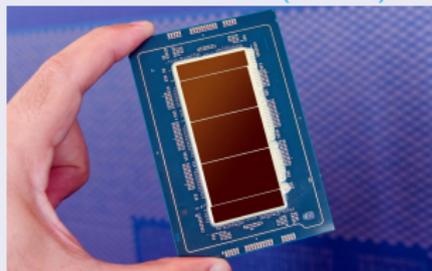
Proc. Epyc (Turin dense) *versus* Proc. Intel Xeon Granite Rapids-AP

EPYC 9965 (5th Gen.)



- 192 cœurs - 500 W  
(12 chiplets de 16 cœurs)
- 72 mm x 75.4 mm
- coût  $\approx$  14813 \$

Xeon 6980P (6th Gen.)

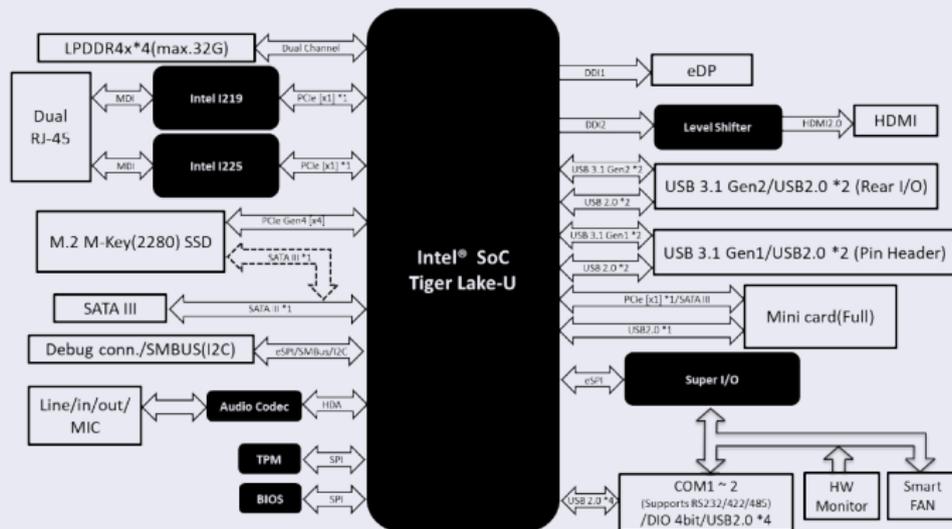


- 128 cœurs - 500 W
- 66 mm x 92.5 mm
- coût  $\approx$  12460 \$

# Plateforme embarquée / mobile (*System on Chip*)

## Processeur de type Intel Tiger Lake-U

### Block Diagram



Intégration poussée à l'extrême → disparition du *chipset*

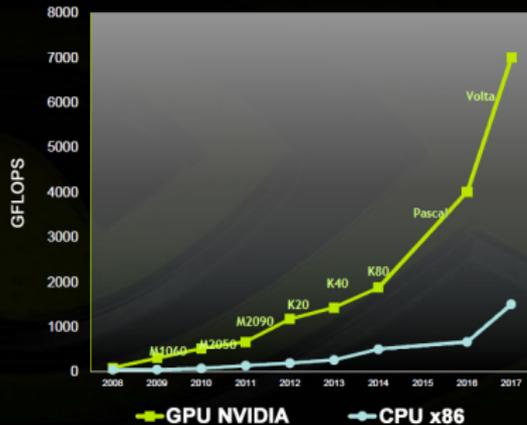
# Utilisation de GPUs pour du calcul haute performance

## Comparaison GPUs (NVIDIA) / CPUs (x86)

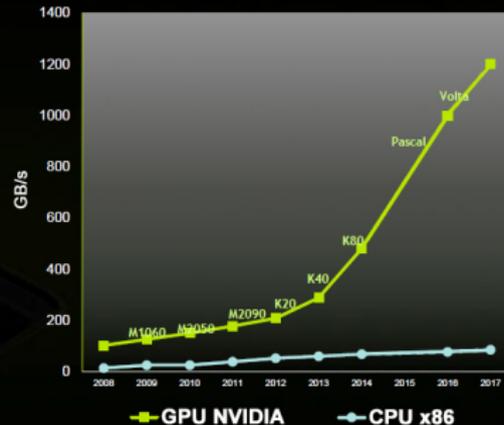
### Performances des cartes GPU



#### FLOPS en double précision (Pic)



#### Bande passante mémoire (Pic)

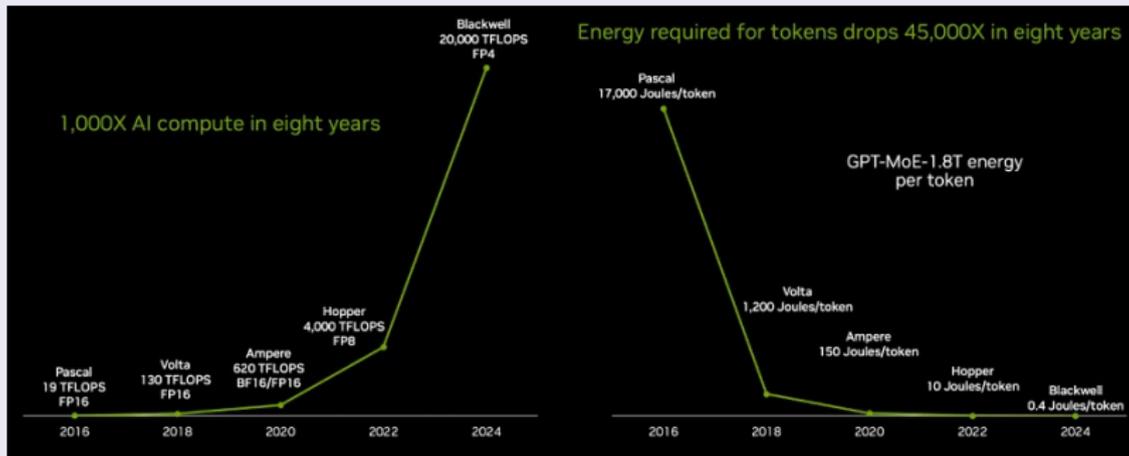


## Utilisation en intelligence artificielle

## Implémentation de réseaux de neurones profonds (*Deep Learning*)

# Utilisation de GPUs pour du calcul haute performance

## Performance en FLOPS et énergie consommée par *token* généré



Génération de contenu écrit - un mot généré est un "token"

Implémentation de *Large Language Models* (ChatGPT, etc.)

# Utilisation de GPUs pour du calcul haute performance

## G(eneral)-P(urpose) G(raphic) P(rocessing) U(nit) - GPGPU

- Calcul générique sur processeur graphique → calcul parallèle
- AMD (CDNA), NVIDIA (Blackwell - dédié à l'IA), etc.

## GPUs (NVIDIA) : 2024 - Blackwell (B100 / B200 / B300)

- 2017 - Volta (Professional → workstation / datacenter) - Gravure 12 nm
- 2018 - Turing (Consumer) - Gravure 12 nm
- 2020 - Ampere (Professional & Consumer) - Gravure 8 / 7 nm
- 2022 - Hopper / Lovelace (Professional / Consumer) - Gravure 4 nm

## Comparaison GPU Ampere A100 / Hopper H100 / Blackwell B100

- Gravure → 7 nm contre 4 nm et 4 nm
- Transistors → 54 milliards et 80 milliards contre 104 milliards
- GPU A100 7 fois plus rapide que le V100 sur BERT (Google)

Prix d'une DGX-B300 (14,3 kW) avec 8 cartes GPU B300 ≈ 357000 €

# Qu'est-ce que le *Deep Learning* ?

Illustration 1 : problème de reconnaissance / classification d'image

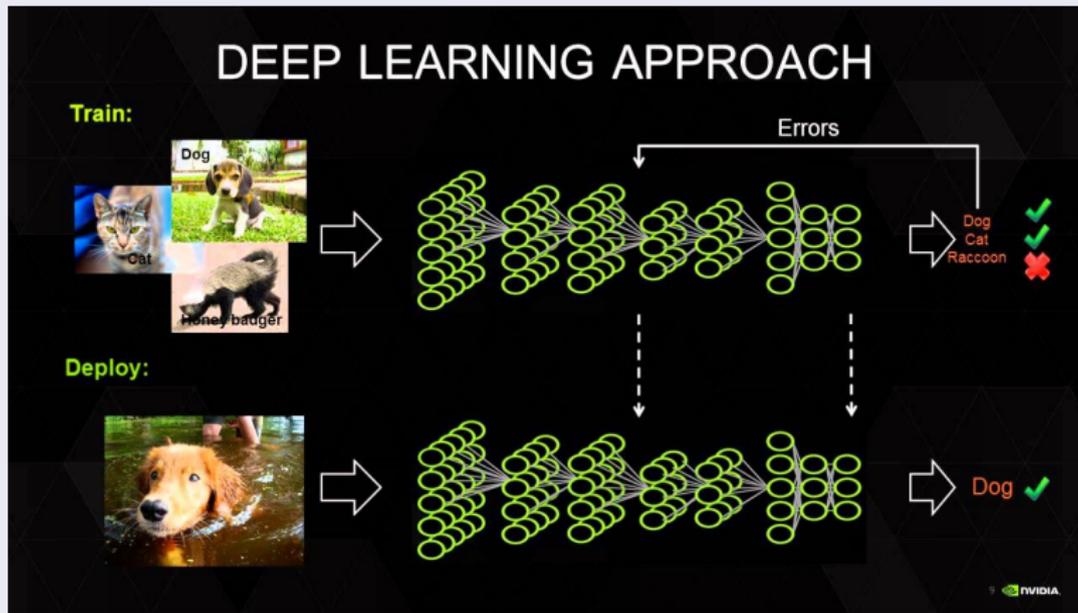
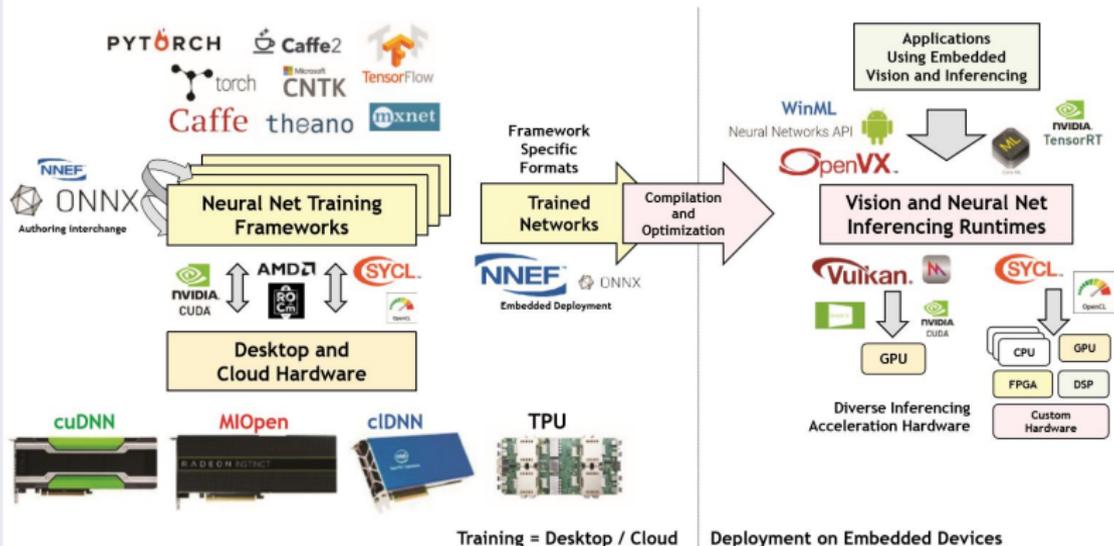


Illustration 2 : problème de reconnaissance de chiffres manuscrits

MNIST problem

# Qu'est-ce que le *Deep Learning* ?

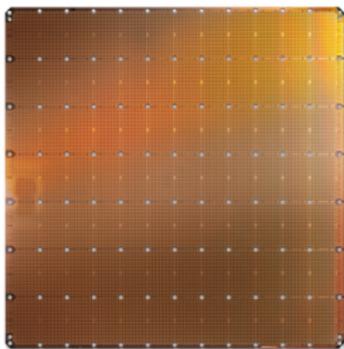
Conception du réseau de neurones (design et entraînement), puis utilisation



# Processeurs optimisés pour le *Deep Learning*

## Émergence de nombreux processeurs spécialisés - *AI-focused chips*

- Intel Nervana Neural Network Processors (NNP - arrêt fin 2020)
- Google Tensor Processing Unit (TPU)
- AMD Instinct™ MI100 Accelerator
- NVIDIA Deep Learning Accelerator (NVDLA)
- Cerebras Wafer Scale Engine (WSE)



- 21,5 cm de large, soit 46225 mm<sup>2</sup>
- 56 fois plus grand que le plus grand GPU Volta
- V1 - 16 nm - 1200 milliards de transistors
  - 400000 cœurs et 18 Gio de mémoire
- V2 - 7 nm - 2600 milliards de transistors
  - 850000 cœurs
- V3 - 5 nm - 4000 milliards de transistors
  - 900000 cœurs

## Annonce de Google en octobre 2019

Son ordinateur quantique aurait résolu un calcul qui prendrait environ **10000 ans** au supercalculateur traditionnel le plus puissant actuellement en **3 minutes 20 secondes**.

## Utilise la mécanique quantique

- Le **qu(antic)bit** remplace le **bit** classique (état **0** ou **1**)
  - Peut contenir plus d'info. grâce a ses attributs multi-états
  - Il est "simultanément" dans plusieurs états (**0 ou 1 et un état intermédiaire** où il peut être les deux à la fois)
- Un système quantique est soumis à de nouvelles propriétés
  - Superposition → peut se trouver dans plusieurs états à la fois
  - Intrication → les états quantiques des qubits sont liés qui produisent un **parallélisme intrinsèque**
- "Puissance" de calcul relative au nombre de qubits, mais...

## Une démultiplication des calculs

Ordinateur classique

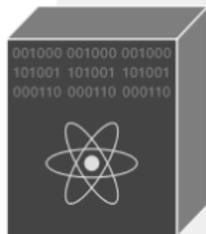


Nombre d'états possibles déterminés 0 ou 1



La valeur est déterministe, des calculs répétés avec les mêmes entrées conduiront au même résultat

Ordinateur quantique



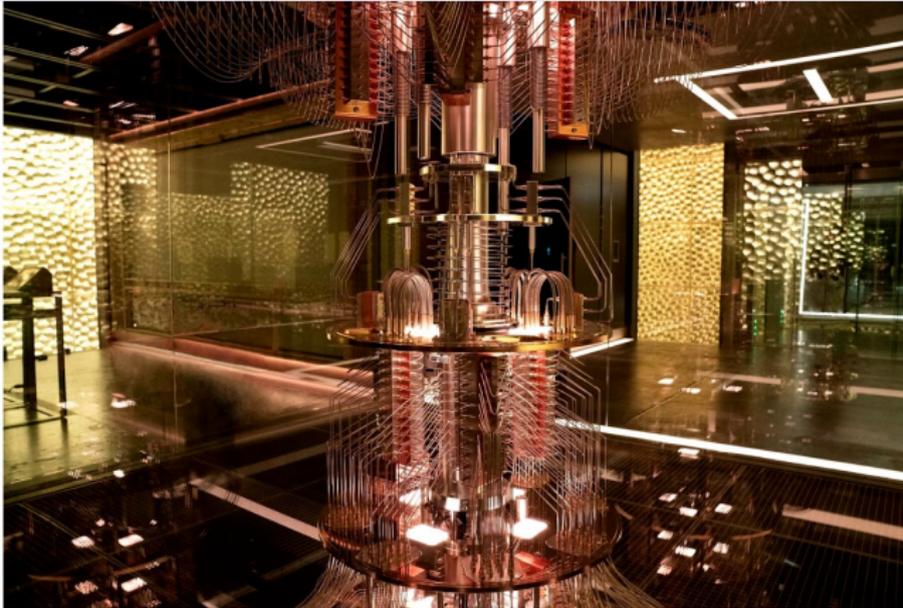
Etats possibles infini



La valeur est mesurée de manière probabiliste, en considérant plusieurs possibilités et en triant des ensembles de résultats probables qui convergent vers le résultat correct

# Calculateur / ordinateur quantique

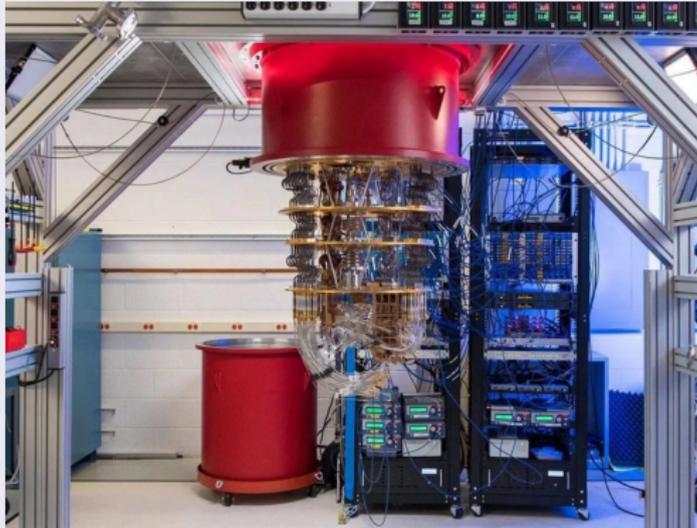
Mi-2020 - Honeywell dit avoir fabriqué le calculateur le plus puissant



Vise à traiter des calculs dont la complexité réside dans la combinatoire (nombre de combinaisons possibles)

# Calculateur / ordinateur quantique

Été 2023 - Google dit avoir résolu un problème qui prendrait 47 ans



- Dernière version du calculateur Sycamore avec 70 qubits
- Résolution sur le supercalculateur [Frontiers](#) en 47,2 ans

Informatique quantique en France : [Pasqal](#), [Quandela](#), ...

## Exemples de domaines avec de tels problèmes

- Recherche opérationnelle
  - Par exemple le problème du voyageur de commerce (trouver le plus court chemin passant par un ensemble de villes et revenant au point de départ)
- Cryptographie / cryptanalyse
  - Cassage de nombreux systèmes, notamment de chiffrement asymétriques (RSA, ElGamal, etc.)
- etc.

## Plusieurs obstacles à surmonter dont

- L'instabilité des qubits
  - Difficulté à conserver l'état quantique sur une courte période
  - Limite le nombre de qubits qui peuvent interagir
- L'absence de norme d'informatique quantique
  - Projets [IEEE P1913](#), ..., [P7130](#) et [P7131](#)

- ① Introduction générale
- ② Codage interne des informations
  - Nombre entiers et opérations arithmétiques associées
  - Nombres réels
  - Caractères
- ③ Structure d'un ordinateur