

# Architecture matérielle d'un ordinateur

## Bus de communication, carte mère, processeur et mémoire

Michel Salomon

IUT de Belfort-Montbéliard  
Département d'informatique

# Concept de bus

## Architecture des ordinateurs (von Neumann / *Turing* - 1945)

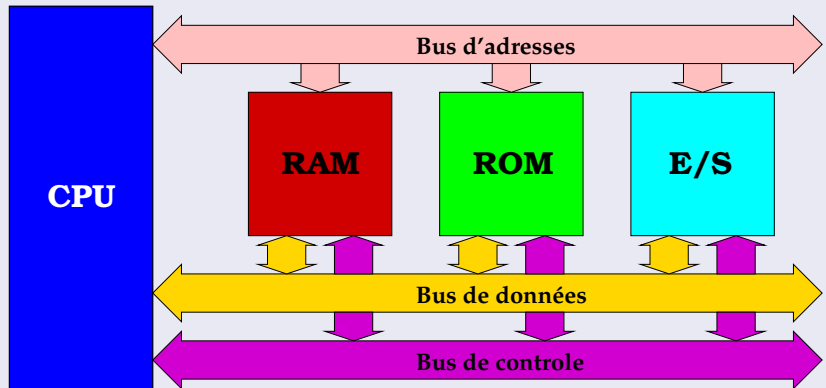
- On distingue 3 éléments :
  - ① l'**unité centrale de traitement** ou **processeur** (on utilise également les termes *microprocesseur* ou **Central Processing Unit**) ;
  - ② la **mémoire centrale** ou **principale** (contenant programmes et données) ;  
Mémoire vive (RAM) et mémoire morte (ROM)
  - ③ les **interfaces d'Entrées/Sorties** (liens entre le processeur et les périphériques externes/internes) ;
- reliés par des canaux de communication appelés **bus**

## Que peut transporter un bus de communication ?

- des **adresses** ;
- des **données** ;
- des **commandes** (ou instructions de contrôle)

# Concept de bus

## Architecture dite de von Neumann - Bus parallèle



# Généralités

## Qu'est-ce qu'un bus de communication ?

- Un chemin électrique faisant communiquer ensemble
  - des composants électroniques
  - ou des périphériques électroniques
- Exemples
  - des composants de la carte mère
    - processeur et barrettes mémoire, etc.
  - un composant et des périphériques internes ou externes
    - carte graphique, disque, imprimante, etc.

## Citer quelques bus de communication

- 
- 
- 
-

# Généralités

## Qu'est-ce qu'un bus de communication ?

- Un chemin électrique faisant communiquer ensemble
  - des composants électroniques
  - ou des périphériques électroniques
- Exemples
  - des composants de la carte mère  
→ processeur et barrettes mémoire, etc.
  - un composant et des périphériques internes ou externes  
→ carte graphique, disque, imprimante, etc.

## Citer quelques bus de communication

- **Universal Serial Bus** ;
- **Peripheral Component Interconnect Express** abrégé par **PCIe** ;
- **Serial Advanced Technology Attachment** ; **Serial-Attached SCSI** ;
- etc.

Généralement chaque bus existe en plusieurs versions / générations

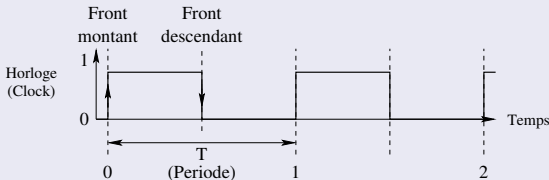
# Généralités

## Un bus achemine des bits d'information entre composants / périphériques

- Un bus est composé d'un certain nombre de lignes
  - Chaque ligne transporte un bit à la fois via un signal numérique
  - Signal numérique  $\rightarrow$  grandeur discrète appartenant à  $\{0, 1\}$
- Les bits se suivent sur une même ligne

## Synchronisation des éléments d'un ordinateur via un signal d'horloge

- Un quartz génère un signal d'horloge commun (*Clock* / CLK)
- Signal périodique comportant une alternance de 1 et de 0
- Chronogramme  $\rightarrow$  évolution du signal dans le temps



# Généralités

## Synchronisation des éléments d'un ordinateur via un signal d'horloge

- Cycle (ou battement) d'horloge → une période de durée  $T$
- Fréquence d'horloge → nbre de cycles par unité de temps (s)
- Durée  $T$  d'un cycle défini par la fréquence d'horloge  $f$

$$f \text{ (en Hz)} = \frac{1}{T \text{ (en secondes)}}$$

Exemple :  $f = 200 \text{ MHz} \rightarrow T = 5 \text{ ns}$  (nanosecondes)

- Signal utilisé pour obtenir de nombreuses fréquences réelles
  - Processeur, puces mémoire, etc.
  - Bus de communication

(souvent via un circuit appelé **Phase-Locked Loop**)

Un cycle d'horloge réelle permet de transporter un ou plusieurs bits

# Généralités

## Différents “types” de bits circulent dans un bus

- Un bus peut transporter 3 types de bits :
  - des bits de donnée  
→ l'information à acheminer ;
  - des bits d'adresse  
→ identifient l'origine / le destinataire de l'information ;
  - des bits de contrôle  
→ signaux de synchronisation, sens du transfert, etc.

## Types de bus de communication

- Parallèle  
→ transport séparé des bits (bus de donnée, adresse, contrôle)
- Série  
→ transport “unifié” de tous les bits
- Série / parallèle → plusieurs transports sérialisés en parallèle

# Caractéristiques d'un bus / 1. Type et largeur

## Parallèle

- Unidirectionnel à l'alternance (*half-duplex*)  
→ transmission dans les 2 sens, alternativement
- Plusieurs lignes pour transporter les bits
- Cadencement sur une fréquence d'horloge commune  
→ à l'émetteur et au récepteur

## Série

- Une voie (*lane*) est composée de 2 liaisons séries  
→ 1 émission et 1 réception (ex. : 7 fils dans un câble SATA)
- Bidirectionnel simultané (*full-duplex*) (**pas tous les bus série**)  
→ transmission simultanée dans les 2 sens
- Transport d'un bit à la fois dans un sens  
→ une donnée sur plusieurs bits est sérialisée

# Caractéristiques d'un bus / 1. Type et largeur

## Série (suite)

- Plus de distinction entre bit de donnée, d'adresse, de contrôle  
→ bits regroupés dans des “paquets” qui sont transportés
- Fonctionne comme le transport de paquets dans les réseaux
- PCIe Gen 1.0 et 2.0 (PCI Express)
  - Utilisent un encodage dit 8b/10b
  - Pour envoyer 8 bits → émission de 10 bits
- PCIe Gen 3.0 et 4.0
  - Utilisent un encodage dit 128b/130b
  - Pour envoyer 128 bits → émission de 130 bits

## Série / parallèle

- Plusieurs liaisons séries unidirectionnelles en parallèle  
→ plusieurs voies en parallèle

# Caractéristiques d'un bus / 1. Type et largeur

## Série / parallèle (suite)

- Exemples
  - Intel
    - **D**irect **M**edia **I**nterface 2.0  $\approx$  PCIe  $\times 4$  Gen 2.0
    - **D**irect **M**edia **I**nterface 3.0  $\approx$  PCIe  $\times 4$  Gen 3.0
    - **Q**uick **P**ath **I**nterconnect (20 voies); **O**n **P**ackage **D**MI
  - AMD
    - **A**-Link **E**xpress **I**II et **U**nified **M**edia **I**nterface  $\approx$  PCIe  $\times 4$  Gen 2.0
    - **C**PU/**A**PU **L**ink  $\approx$  PCIe  $\times 4$  Gen 3.0
- Bus DMI, UMI et CPU/APU Link
  - Utilisés par les dernières générations de proc. Intel et AMD
  - Processeurs intégrant les contrôleurs mémoire, graphique, ...

## Largeur (en bits)

- Nombre de bits transférables simultanément dans un sens
- Bus parallèle  $\rightarrow$  largeur  $> 1$ ; bus série  $\rightarrow$  largeur  $= 1$

# Caractéristiques d'un bus / 2. Nombre de **T**ransferts par seconde

## Basé sur la fréquence d'horloge réelle du bus ( $F_R$ )

Dépend du nombre de cycles d'horloge réelle du bus par seconde

- Au départ  
→ 1 transfert par cycle (front montant)
- **Double Data Rate** (*Dual pumped*)  
→ 2 transferts par cycle (front montant et descendant)
- **Quad Data Rate** (*Quad pumped*)  
→ 4 transferts par cycle (front montant et descendant, plus 2 fronts obtenus par déphasage du signal d'horloge)

## S'exprime de façon équivalente en Hertz

- Utilisation du terme fréquence d'horloge effective ( $F_E$ )
- d'où  $1 \text{ T/s} = 1 \text{ Hz}$

# Calcul du débit (unidirectionnel)

## Que représente le débit binaire ?

- Quantité de bits pouvant y transiter par unité de temps  
→ reflète l'efficacité du bus
- S'exprime en octets ou unité basée sur les octets par seconde  
→ Mo/s, Mio/s, etc.

**Attention !! Formule valable si 1 octet sur le bus = 8 bits**

$\text{débit} = (\text{nbre de transferts par seconde} \times \text{largeur}) / 8 \text{ octets/s}$

**Attention !!**

- Usage abusif du terme bande passante à la place de débit
- Les constructeurs donnent souvent un débit bidirectionnel

# Calcul du débit (unidirectionnel) (suite)

## Exemple : débit d'un bus PCI (1991)

- Caractéristiques
  - Type parallèle
  - Largeur de 32 bits ;
  - Fréquence réelle  $F_R = 33$  MHz, 1 transfert par cycle
- Calcul du débit (1 Mo = 1000 ko = 1000 × 1000 octets)
  - débit = bits/s
  - débit = octets/s
  - débit = Mo/s
  - débit = Mio/s

Souvent en Gigaoctets ou Mégaoctets par sec. (Go/s ou Mo/s)

# Calcul du débit (unidirectionnel) (suite)

## Exemple : débit d'un bus PCI (1991)

- Caractéristiques
  - Type parallèle
  - Largeur de 32 bits ;
  - Fréquence réelle  $F_R = 33$  MHz, 1 transfert par cycle
- Calcul du débit (1 Mo = 1000 ko =  $1000 \times 1000$  octets)
  - débit =  $(33000000 \times 32) = 1056000000$  bits/s
  - débit =  $(33000000 \times 32)/8 = 132000000$  octets/s
  - débit =  $((33000000 \times 32)/8)/1000/1000 = 132$  Mo/s
  - débit =  $((33000000 \times 32)/8)/1024/1024 = 125,89$  Mio/s

Souvent en Gigaoctets ou Mégaoctets par sec. (Go/s ou Mo/s)

# Bus parallèle *versus* bus série

## Un avantage, mais de nombreux inconvénients

- Avantage d'un bus parallèle

Plus un bus parallèle est large,  
plus il peut transporter de données (en théorie)

- Défauts d'un bus parallèle

- Encombrant et coûteux
- Fabrication délicate → longueur des lignes identiques, sinon désynchronisation des transmissions
- Interférences électromagnétiques susceptibles de perturber les signaux → compétitif sur de petites distances
- Pénalisant car généralement partagé → défaut majeur

## Bus série ⇒ corrige les défauts du bus parallèle

Requiert des composants supplémentaires car les données sont acheminées sous forme de “paquets” (comme dans un réseau)

# Exemples de bus actuels

## Bus PCI Express (PCI-E ou PCIe) - Périphériques internes

- Gen. 1.0 (2002/04), 2.0 (2007), 3.0 (2010), 4.0 (2017), 5.0 (2019)
- Caractéristiques
  - Type série (série/parallèle si plusieurs voies)
  - Connecteur de taille variable (1, 2, 4, 8, 16 ou 32 voies)
  - Voie composée de 2 liaisons : émission et réception
  - *Bidirectionnel simultané, avec un contrôle de l'intégrité*
- Débits
  - PCIe Gen. 2.0
    - $1\times \Rightarrow 500 \text{ Mo/s}$ ; ...;  $16\times \Rightarrow 8 \text{ Go/s}$
  - PCIe Gen. 3.0
    - $1\times \Rightarrow 984,6 \text{ Mo/s}$ ; ...;  $16\times \Rightarrow 15,754 \text{ Go/s}$
  - PCIe Gen. 4.0
    - $1\times \Rightarrow 1969,23 \text{ Mo/s}$ ; ...;  $16\times \Rightarrow 31,504 \text{ Go/s}$

# Exemples de bus actuels

## Bus USB (*Universal Serial Bus*) - A unifier les connexions bas débit

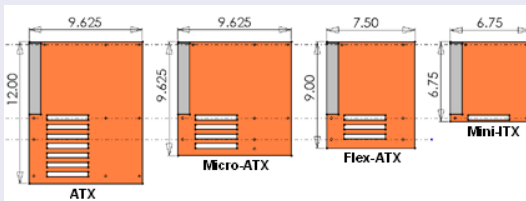
- Compaq, Intel, IBM, Microsoft, NEC & al. 1996
- Débits
  - Norme 1.1 / FULL-SPEED → débit de 1,5 Mo/s  $\Leftrightarrow$  12 Mbit/s
  - Norme 2.0 / HI-SPEED → débit de 60 Mo/s  $\Leftrightarrow$  480 Mbit/s
  - Norme 3.0 / 3.1 Gen. 1 / SUPER-SPEED (2008)  
→ débit de 5 Gbit/s (8b/10b)
  - Norme 3.1 / 3.1 Gen. 2 / SUPER-SPEED+ (2013)  
→ débit de 10 Gbit/s (128b/132b) - Type-A,B,C et Micro-A,B,AB
  - Norme 3.2 Gen. 2x2 / SUPER-SPEED++ (2017)  
→ débit de 20 Gbit/s (128b/132b) - Type-C uniquement  
(Gen. 1x1 = 3.1 Gen. 1, Gen. 1x2, Gen. 2x1 = 3.1 Gen. 2)
  - Norme 4 Gen. 2x2 / 4 Gen. 3x2 (Thunderbolt 3) (2019)  
→ débit de 20 Gbit/s (64b/66b) pour Gen. 2x2 - Type-C  
→ débit de 40 Gbit/s (128b/132b) pour Gen. 3x2

# Carte mère et chipset

## Carte mère

- Regroupe plusieurs éléments
  - Processeur
  - Mémoire
  - Ports
  - etc..
- Caractérisée par son chipset (lié au type de processeur)
- Format ATX, Mini-ATX, Micro-ATX, Flex-ATX, Mini-ITX, etc.

## Les différents formats de carte mère (unité = *inch* / pouce)



# Carte mère et chipset

## Chipset ou jeu de composants

Contrôleur(s) chargé(s) d'aiguiller les données entre les différents bus de communication

## Rôle et évolution du chipset

- Organise les transferts de données au sein de l'ordinateur
- Historiquement architecture à deux puces
  - ① Pont Nord - *Northbridge* (**GMCH**)
  - ② Pont Sud - *Southbridge* (**ICH**)

- Passage à une architecture à une seule puce (**PCH**)

Disparition du pont nord suite à l'intégration des contrôleurs mémoire et graphique dans le processeur

- Intégration "complète" dans le processeur (**System on Chip**)
  - Plateforme mobile / embarquée (*Desktop*) au départ, mais...
  - AMD → depuis la micro-architecture Jaguar
  - Intel → depuis la micro-architecture Core de 6<sup>e</sup> gen. (Skylake)

# Chipset (ou *jeu de composants*)

## Pont Nord ou **Graphic Memory Controller Hub**

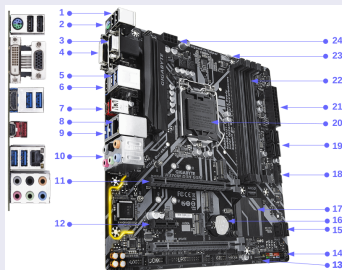
- Communications entre éléments requérant un grand débit
  - Processeur
  - Mémoire
    - Contrôleur mémoire intégré par les processeurs actuels
  - Carte(s) graphique(s) ou encore puce graphique intégrée
    - Contrôleur graphique intégré par certains processeurs actuels chez AMD et Intel Core iX (depuis 2<sup>e</sup> gen.), mais pas tous
  - Autres périphériques PCI Express

## Pont Sud ou **I/O Controller Hub**

- Com. avec les éléments qui ont un débit plus réduit
  - Anciens ports PATA (ou IDE), parallèle, série
  - PCI Express, SATA, USB, etc.

# Architecture d'une carte mère

Carte pour proc. Intel - Socket 1151 / H4 - à une puce ou **Platform CH**

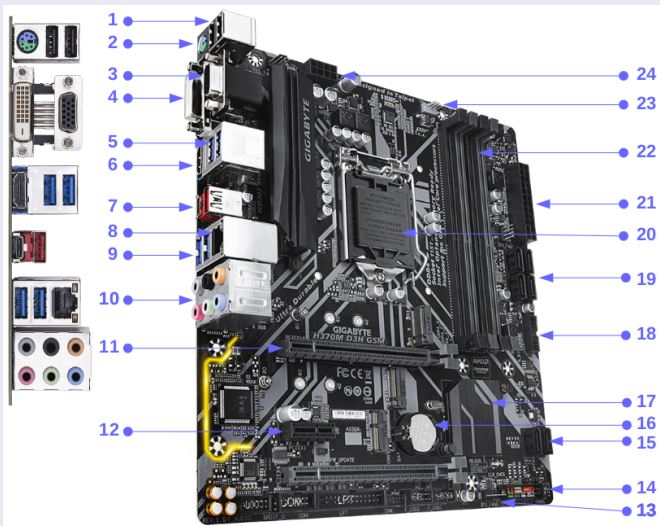


## Bus de communication entre processeur et chipset

- Intel → bus série/parallèle Ultra Path Interconnect, Quick PI, *DMI Flexible Interface Display* pour lier cœur graphique et chipset
- AMD → bus série/parallèle *UMI* et *CPU/APU Link*

# Architecture d'une carte mère

## Quizz - Carte mère pour proc. Intel - Socket 1151 / H4



# Architecture d'une carte mère pour processeurs Intel

Carte pour proc. Intel - Socket 1200 / H5 - à une puce ou *Platform* CH



- Lien fabricant de la carte mère - CPU socket (LGA / PGA)
- Lien diagramme d'une carte à base du chipset Z490

# Principaux fournisseurs de processeurs : AMD et Intel

## Distinction ordinateur personnel / station de travail et serveur

- Ordinateur de type PC
  - Gamme AMD
    - Socket AM3+ : AMD FX, Athlon II, phenom II
    - Socket AM4 : A8, A10, A12, Ryzen 3, 5, 7, 9 et Athlon X4
    - Socket sTR4 : Ryzen Threadripper (Zen)
    - Socket sTR4x : Ryzen Threadripper (Zen 2)
  - Gamme Intel
    - Socket 1151 / H4 : Celeron, Pentium Gxxx0, Core i3, i5, i7, i9 (Kaby Lake, Coffee Lake *Refresh* → avec contrôleur graphique)
    - Socket 1200 / H5 : Celeron Gxxx0, Core i3, i5, i7, i9 (Comet Lake → avec contrôleur graphique)
    - Socket 2066 : Core i7 et i9 (grand nombre de cœurs) (Kaby Lake-X, Cascade Lake-X → sans contrôleur graphique)

# Principaux fondeurs de processeurs : AMD et Intel

## Distinction ordinateur personnel / station de travail et serveur

- Station de travail - Serveur

Multi-processeur, grand nombre de cœurs,  
mémoire cache plus importante, ...

- Gamme AMD → Epyc (Naples → Zen, Rome → Zen 2, Milan → Zen 3)
  - Processeurs ayant de 8 à 64 cœurs
  - Configuration à 1 ou 2 processeur(s)
  - Socket SP3
- Gamme Intel → Xeon
  - Déclinaison de chaque génération de processeur Intel Core (Broadwell, Skylake, Kaby Lake, Cascade Lake)
  - Sockets 1151, 2011-3, 2066, 3647

## Quels processeurs dans les smartphones et tablettes ?

- **Architectures ARM SoC** (CPU+GPU+DSP+...) vendues sous licence
- Chaque fabricant personnalise, voire mixe, des composants

# Comparaison de processeurs

## Spécifications constructeurs

|                              |                                                                                   |                                                                                     |
|------------------------------|-----------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|
|                              |  |  |
| <i>Référence</i>             | <b>AMD Ryzen Threadripper 3990X</b>                                               | <b>Intel Core i9 10980XE</b>                                                        |
| <i>Support</i>               | Socket sTR4x                                                                      | Socket 2066                                                                         |
| <i>Micro-architecture</i>    | Zen 2 (Gen. 3)                                                                    | Cascade Lake                                                                        |
| <i>Cœur - Date de sortie</i> | Castle Peak - Q1'20                                                               | Cascade Lake-X - Q4'19                                                              |
| <i>Nb de cœurs</i>           | 64                                                                                | 18                                                                                  |
| <i>Finesse de gravure</i>    | 7 nm / 12 nm                                                                      | 14 nm++                                                                             |
| <i>Fréquence</i>             | 2,9 / 4,3 GHz                                                                     | 3,0 / 4,6 GHz                                                                       |
| <i>Horloge réelle</i>        | 100 MHz                                                                           | 100 MHz                                                                             |
| <i>Coefficient</i>           | ×29                                                                               | ×30                                                                                 |
| <i>Bus processeur</i>        | CPU/APU 8 GT/s                                                                    | DMI 3.0 8 GT/s                                                                      |
| <i>Cache L1 Inst. / Data</i> | 64 × 32 Kio / 64 × 32 Kio                                                         | 18 × 32 Kio / 18 × 32 Kio                                                           |
| <i>Cache L2</i>              | 32 Mio (64 × 512 Kio)                                                             | 18 Mio (18 × 1024 Kio)                                                              |
| <i>Cache L3</i>              | 256 Mio (16 "Die" × 16 Mio)                                                       | 24,75 Mio                                                                           |
| <i>Dissipation (TDP)</i>     | 280 W                                                                             | 165 W                                                                               |
| <i>Prix</i>                  | 4726 euros                                                                        | 1230 euros                                                                          |

# Caractéristiques des barrettes mémoire actuelles

## Versions de mémoires DRAM (*Dynamic RAM*)

- Synchronisées sur l'horloge réelle du bus processeur
- Constituées de trois éléments fondamentaux :
  - ① puce(s) mémoire DRAM (la matrice de cellules mémoires) ;
  - ② mémoire tampon de prélecture (buffer d'entrées/sorties) ;
  - ③ bus de données.
- Famille des mémoires SDRAM (*Synchronous DRAM*)
  - DDR (*Double Data Rate*)
    - Transfert des données sur fronts montant **et** descendant
  - DDR2, DDR3, DDR4 et future DDR5 (2020)
- Évolutions notables entre les différentes versions :
  - moindre consommation électrique ;
    - DDR/DDR2 → 2,5 V/1,8 V ; DDR3/DDR3L → 1,5 V/1,35 V
    - DDR4/DDR4L → 1,2 V/1,05 V ; DDR5/DDR5L → 1,1 V/? V
  - augmentation de l'horloge réelle du bus mémoire

# Caractéristiques des barrettes mémoire actuelles

## Fréquence d'horloge réelle du bus mémoire ( $F_R$ )

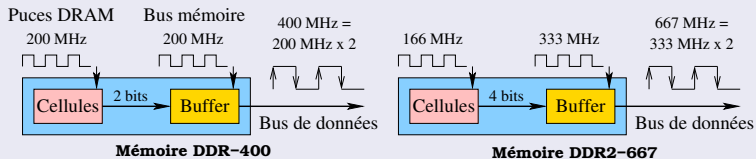
- Basée sur la fréq. d'horloge réelle des puces DRAM ( $F_{DRAM}$ )

- DDR  $\rightarrow F_R = F_{DRAM}$  Hz
- DDR2  $\rightarrow F_R = 2 \times F_{DRAM}$  Hz
- DDR3  $\rightarrow F_R = 4 \times F_{DRAM}$  Hz
- DDR4  $\rightarrow F_R = 8 \times (F_{DRAM} = \frac{\lambda}{15})$  GHz

avec  $\lambda$  qui varie suivant le débit de la barrette

- obtenue à partir de la fréq. d'horloge réelle du bus processeur
  - via le FSB memory ratio ou FSB:DRAM

## Principe de fonctionnement



# Caractéristiques des barrettes mémoire actuelles

Fréquence d'horloge effective du bus mémoire ( $F_E$ ) = Transferts / seconde (T/S)

- Nombre après DDRx- = fréq. effective du bus mémoire ( $F_E$ )
  - DDR-400  $\rightarrow F_E = 400$  MHz ( $F_R = 200$  MHz)
  - DDR2-1066  $\rightarrow F_E = 1066$  MHz ( $F_R = 533$  MHz)
  - DDR3-1333  $\rightarrow F_E = 1333$  MHz ( $F_R = 667$  MHz)
  - DDR4-2133  $\rightarrow F_E = 2133$  MHz ( $F_R = 1066$  MHz)
- Barrettes de même fréquence effective  $\rightarrow$  même débit
  - Exemple : DDR2-1066/DDR3-1066  $\rightarrow 1066$  MT/s ; 8,528 Go/s
- Dénomination des mémoires

| Nom standard | Fréq. puces | Fréq. bus | Désignation | Débit octets/s |
|--------------|-------------|-----------|-------------|----------------|
| DDR-400      | 200         | 200       | PC-3200     | 3,200 Go/s     |
| DDR2-1066    | 266         | 533       | PC2-8500    | 8,528 Go/s     |
| DDR3-1066    | 133         | 533       | PC3-8500    | 8,528 Go/s     |
| DDR4-2133    | 133         | 1066      | PC4-17066   | 17,066 Go/s    |

# Caractéristiques des barrettes mémoire actuelles

## Synchronisation (*timings* - en nbre de cycles d'horloge réelle du bus)

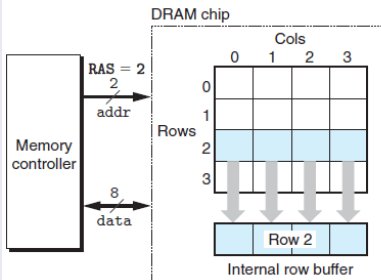
- Paramétrage défini par une notation du genre 8-8-8-24
- Les timings sont donc au nombre de 4, dans l'ordre :
  - **CAS Latency** → temps min. pour accéder à une colonne
  - **RAS to CAS Delay** → temps minimum entre accès ligne et accès colonne ⇒ temps total =  $T_{RCD} + \mathbf{CL}$  si ligne active OK
  - **RAS Precharge time** → temps minimum entre 2 accès ligne ⇒ temps total =  $T_{RP} + T_{RCD} + \mathbf{CL}$  si ligne active non OK
  - **RAS Active time** → temps min. avant d'initier un autre accès

## Identification à partir du type de support

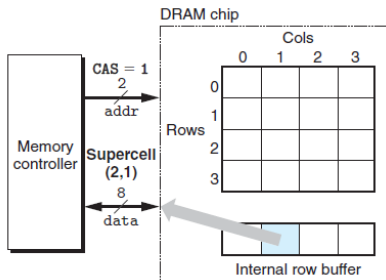
- SDRAM et RAMBUS ⇒ 2 détrompeurs
- DDR et DDR2 ⇒ 1 détrompeur (presque au milieu)
- DDR3 et DDR4 ⇒ 1 détrompeur (positions différentes)

# Caractéristiques des barrettes mémoire actuelles

## Lecture d'un octet dans une cellule DRAM



(a) Select row 2 (RAS request).



(b) Select column 1 (CAS request).

(a) Sélection d'une ligne → **Row Access Strobe**

(b) Sélection d'une colonne → **Column Access Strobe**

# Exercices sur les bus de communication

## ① Bus Intel DMI 3.0

### ① Caractéristiques du Core i7 10700K - Socket 1200 - Q2'20

- Fréquence d'horloge réelle du proc. = 100 MHz ; 8 cœurs
- spécification du Turbo Boost (TBT2) = 9/9/9/10/10/11/12/12 ;
- bus processeur DMI 3.0
  - fréquence d'horloge réelle du bus = 4 GHz ;
  - bus pouvant être vu comme opérant en DDR, comportant 4 voies avec un encodage 128b/130b ;
- coefficient multiplicateur du processeur = 38 ;
- largeur du bus d'adresses = 39 bits (mémoire physique) et 48 bits (mémoire virtuelle).

### ② Calculer

- ① Le nombre de transferts par seconde du bus pour 1 voie ;
- ② le débit unidirec. du bus processeur en Mo/s, Mio/s et Go/s ;
- ③ la fréquence de fonctionnement du processeur ;
- ④ la fréquence maximale grâce au Turbo Boost (TBT2) ;
- ⑤ la taille de la mémoire physique adressable.

# Exercices sur les bus de communication

## ② Bus mémoire d'une barrette de type DDR4

### ① Comment calculer la fréquence réelle du bus

- À partir de la fréquence d'horloge réelle des puces DRAM
  - $\text{DDR} \rightarrow F_R = F_{\text{DRAM}} ;$
  - $\text{DDR2} \rightarrow F_R = 2 \times F_{\text{DRAM}} ;$
  - $\text{DDR3} \rightarrow F_R = 4 \times F_{\text{DRAM}} ;$
  - $\text{DDR4} \rightarrow F_R = 8 \times F_{\text{DRAM}} .$
- obtenue à partir de la fréquence d'horloge réelle du processeur.  
 Dans le cas de la DDR4, on a  $F_{\text{DRAM}}$  qui est généralement un multiple de  $\frac{1}{15}$  GHz, soit :  $F_{\text{DRAM}} = \frac{\lambda}{15} \text{ GHz} = \left( \frac{\lambda}{15} \times 10^9 \right) \text{ Hz}$  où  $\lambda \geq 1$  définit le débit de la barrette.

### ② Caractéristiques de la barrette étudiée

- Coefficient  $\lambda = 2,75 ;$
- largeur du bus de données = 64 bits

### ③ Calculer

- ① Les fréquences d'horloge réelle et effective du bus mémoire ;
- ② le débit de la barrette mémoire en Go/s et Gio/s ;
- ③ en déduire la désignation de la barrette.

# Exercices sur les bus de communication

## ③ Bus PCIe Gen. 2.0

- ① Caractéristiques du bus série  $1 \times$  (à une voie)
  - Fréquence d'horloge "réelle" du bus = 2,5 GHz
  - bus pouvant être vu comme opérant en DDR ;
  - pour 8 bits de données, 10 bits envoyés (encodage 8b/10b)
- ② Calculer
  - ① Le nombre de transferts par seconde ;
  - ② le débit du bus (largeur = 1 bit) ;
  - ③ la perte de débit unidirectionnel due aux bits supplémentaires ;
  - ④ à titre de comparaison, donner le pourcentage de perte pour l'encodage 128b/130b.

## Vision "DDR" du PCI Express : simplification qui n'est pas la réalité

- Bus réel isosynchrone → pas de signal d'horloge explicite
- Aussi "équivalent" à un bus avec  $F_R = 5 \text{ GHz}$  , ni DDR, ni QDR

# Unités de mesure

Le bit (0 ou 1) est la plus petite unité de mesure

## Unités de mesure basées sur l'octet

- Principalement utilisées pour parler du stockage de données
- Deux types d'unités : en puissances de 2 ; en puissances de 10

|             |            | Puissances de 2 |          |
|-------------|------------|-----------------|----------|
| 1 Kibioctet | Kio ou KiB | 1024 octets     | $2^{10}$ |
| 1 Mébioctet | Mio ou MiB | 1024 Kio        | $2^{20}$ |
| 1 Gibioctet | Gio ou GiB | 1024 Mio        | $2^{30}$ |
| 1 Tébioctet | Tio ou TiB | 1024 Gio        | $2^{40}$ |

|             |          | Puissances de 10 |           |
|-------------|----------|------------------|-----------|
| 1 Kiloctet  | ko ou kB | 1000 octets      | $10^3$    |
| 1 Mégaoctet | Mo ou MB | 1000 ko          | $10^6$    |
| 1 Gigaoctet | Go ou GB | 1000 Mo          | $10^9$    |
| 1 Téraoctet | To ou TB | 1000 Go          | $10^{12}$ |

- 1 Kibioctet = 1 "Kilo binaire octet"

# Exercices sur les bus de communication - Corrections

## ① Bus Intel DMI 3.0

- ① Nombre de transferts par seconde ( $N$ ) pour 1 voie égal à

$$\begin{aligned} N &= \text{fréquence d'horloge réelle du bus (Hz)} \times 2 \text{ (car DDR)} \\ &= (4 \times 10^9) \times 2 = 8 \times 10^9 \text{ T/s} = 8 \text{ GT/s} \end{aligned}$$

- ② Débit (unidirectionnel)

$$\begin{aligned} \text{débit} &= (\text{nombre de transferts par seconde} \times \text{largeur}) \text{ bits/s} \\ &= ((8 \times 10^9) \times 4) \text{ bits/s} = 32 \text{ Gbit/s} \\ &= \left( ((8 \times 10^9) \times 4) \times \frac{128}{130} \right) / 8 = 3200000000 \times 16/13 \text{ octets/s} \\ &= 3938461538,46 \text{ octets/s} \\ &= 3938461,53846 \text{ ko/s} (= 3846153,84615 \text{ Kio/s}) \\ &= 3938,46153846 \text{ Mo/s} (\approx 3756 \text{ Mio/s}) \\ &\approx 3,94 \text{ Go/s} \end{aligned}$$

- Remarques (sur le calcul du débit)

- Largeur égale à 4 car 4 voies.
- Multiplication par  $\frac{128}{130}$  car encodage 128b/130b ; 128 bits = 16 octets

# Exercices sur les bus de communication - Corrections

## ① Bus Intel DMI 3.0 (suite)

### ③ Fréquence de fonctionnement du processeur ( $F_P$ )

$$\begin{aligned} F_P &= \text{fréq. réelle du proc. (Hz)} \times \text{coeff. multiplicateur} \\ &= (100 \times 10^6) \times 38 = 3800 \times 10^6 = 3800 \text{ MHz} = 3,8 \text{ GHz} \end{aligned}$$

### ④ Fréquence maximale avec le Turbo Boost (TBT2) ( $F_M$ )

- Augmentation d'un facteur 9 du coeff. mult. pour entre 8 et 6 cœurs; d'un facteur 10 pour entre 5 et 4 cœur(s), etc.
- Max Turbo Frequency obtenue pour entre 2 et 1 cœur(s) :  
 $F_M = 3800 + (12 \times 100) = 5000 \text{ MHz} = 5,0 \text{ GHz}.$

### ⑤ Taille de la mémoire physique adressable

- Mémoire vive → “bibliothèque” dont chaque emplacement, repéré par une une adresse, permet de stocker un octet ;
- Une adresse = un nombre binaire → il y a autant d'adresses que de nombres binaires représentables

# Exercices sur les bus de communication - Corrections

## ① Bus Intel DMI 3.0 (suite)

### ⑤ Taille de la mémoire physique adressable (suite)

- Nombre d'adresses défini par le nombre de bits utilisés :
  - 1 bits  $\rightarrow 2^1 = 2$  adresses possibles  $\Rightarrow 0$  et  $1$  ;
  - 2 bits  $\rightarrow 2^2 = 4$  adresses possibles  $\Rightarrow 00, 01, 10$  et  $11$  ;
  - 3 bits  $\rightarrow 2^3 = 8$  adresses possibles  $\Rightarrow 000, 001, \dots, 110, 111$  ;
  - etc. ;
  - 39 bits  $\rightarrow 2^{39}$  adresses physiques
- Taille de la mémoire physique adressable =  $2^{39}$  octets  
(une adresse par octet)
  - Soit 512 Gio en unités en puissances de 2 ;
  - soit  $\approx 549,75$  Go en puissances de 10
- *Remarques* :
  - Généralement un SE ne gère pas autant de mémoire ;
  - Habituellement c'est de l'ordre des Gio ou quelques Tio, avec dans ce dernier cas plusieurs processeurs ;
  - Les périphériques se voient également attribués des adresses.

# Exercices sur les bus de communication - Corrections

## ② Bus mémoire d'une barrette de type DDR4

- ① Fréquence effective du bus mémoire ( $F_E$ ) égale à

$$F_E = \left( 8 \times \left( \frac{2,75}{15} \times 10^9 \right) \right) \times 2 \approx 2933 \text{ MHz (fois 2 car DDR)}$$

d'où un nombre de transferts par seconde de  $N = 2933 \text{ MT/s}$

- ② Débit (unidirectionnel)

$$\begin{aligned} \text{débit} &= (\text{nombre de transferts par seconde} \times \text{largeur}) \text{ bits/s} \\ &= ((2933 \times 10^6) \times 64)/8 = (2933 \times 8) \times 10^6 \text{ octets/s} \\ &= 23464 \text{ Mo/s, soit } 23,46 \text{ Go/s et } \approx 21,85 \text{ Gio/s} \end{aligned}$$

- ③ Désignation de la barrette

- Barrette PC4-23400, à base de puces mémoire DDR4-2933
- Pour le Core i7 considéré, le débit max. est de 45,8 Go/s  
→ 2 barrettes en double canal de débit max. = 22,9 Go/s

## Exercices sur les bus de communication - Corrections

## ③ Bus PCIe Gen. 2.0

- ① Nombre de transferts par seconde (N) égal à

$$\begin{aligned} N &= \text{fréquence d'horloge réelle (Hz)} \times 2 \text{ (fois 2 car DDR)} \\ &= (2,5 \times 10^9) \times 2 = 5 \text{ GT/s} \end{aligned}$$

- ② Débit (unidirectionnel) pour 1 voie

$$\begin{aligned} \text{débit} &= (\text{nombre de transferts par seconde} \times \text{largeur}) \times \frac{8}{10} \\ &= \left( ((5 \times 10^9) \times 1) \times \frac{8}{10} \right) / 8 = 5 \times 10^8 \text{ octets/s} \\ &= 500 \text{ Mo/s} \end{aligned}$$

*Remarques* (sur le calcul du débit) :

- On multiplie par  $\frac{8}{10} \rightarrow$  pour 8 bits de données il y a 10 bits d'envoyés

- ③ Perte de débit  $\rightarrow \frac{2}{10} = 20\%$  du débit max. unidirectionnel

# Pour finir

## Résumé

- Fonctionnement d'un bus de communication
  - Bits transportés ; synchronisation / signal d'horloge
  - Type et largeur ; Nombre de transferts par seconde
- Calcul du débit (unidirectionnel) d'un bus
- Comparaison bus parallèle / série et exemples de bus actuels
- Format et architecture d'une carte mère (chipset)
- Caractéristiques et débit des barrettes mémoire actuelles

**Un aperçu, une idée du rôle et des performances d'un bus de communication, de la carte mère, du proc., de la mémoire**